

Pràctica 3:

Programació de dispositius FPGA: *Implementació d'un taxímetre digital en una FPGA utilitzant VHDL i captura d'esquemàtic*

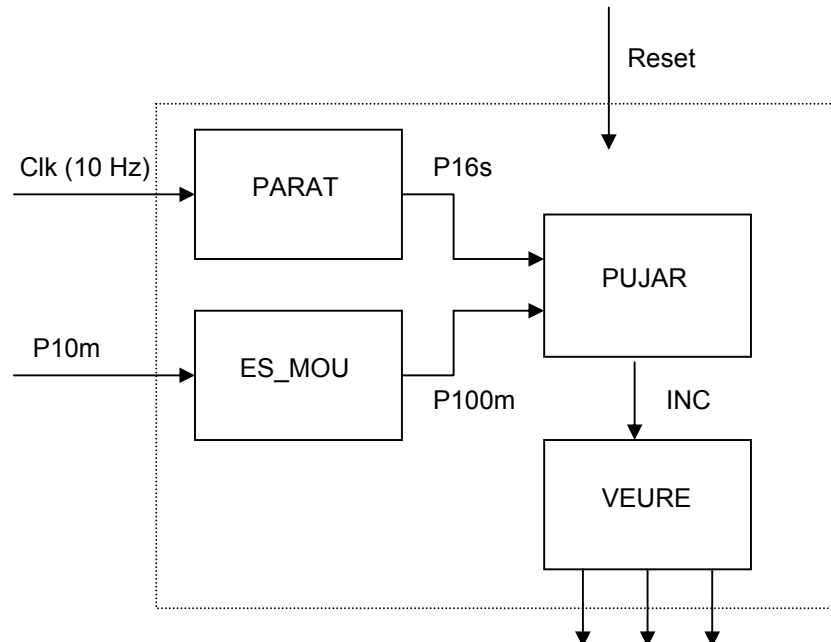
(temps estimat de realització al laboratori: 10 hores)

L'Objectiu d'aquesta pràctica és la programació d'un dispositiu programable FPGA, amb la utilització d'un entorn que permet especificar els dissenys en forma de captura d'esquemàtics o a través de llenguatge ABEL-VHDL. El dispositiu que es vol programar és el model 4003EPC84 de Xilinx, de la família XC4000E, i l'entorn de treball que s'utilitza és el *Foundation*.

Es demana que implementeu el següent disseny utilitzant un esquemàtic per el nivell jeràrquic superior i codi VHDL per a la resta de mòduls.

Problema:

Es preten dissenyar un taxímetre digital que s'incrementi en 5 ptes cada 100 metres, si el taxi està en moviment, o cada 16 segons, si el taxi està parat. El resultat es reflexarà en tres xifres BCD que indicaran el preu. Es disposa d'un rellotge de 10 Hz i d'una entrada que suministra un pols cada 10 m. Si durant 16 segons no s'ha recorregut al menys 10 m (no ha arribat el senyal dels 10 m), s'ha d'incrementar en 5 ptes pel temps que ha estat parat. Es demana la descripció en VHDL d'aquest sistema. Per fer-ho, es proposa el següent diagrama de blocs.



Nota: Per a poder treballar amb l'entorn *Foundation*, que permet realitzar el disseny de circuits digitals amb FPGAs de diferents famílies de Xilinx, trobareu a continuació un dossier complet el qual us guiarà amb un exemple concret de disseny digital. A més, us dona la descripció completa de la placa de proves que heu d'utilitzar per a realitzar el muntatge triat, i us indica la forma de realitzar simulacions lògiques i temporals abans de transferir el disseny a la peça (procés de download).

Sessió Guiada

ÍNDEX

1. INTRODUCCIÓ	3
2. PROCÉS DE CREACIÓ D'UN DISSENY	4
2.1 EDICIÓ D'UN ESQUEMÀTIC	4
2.1.1 Creació d'un projecte	4
2.1.2 Creació d'un esquema bàsic.....	4
2.1.3 Afegir símbols	5
2.1.4 Com utilitzar el Library Filter	5
2.1.5 Connexió de VCC i GND	6
2.1.6 Substitució de símbols.....	6
2.1.7 Dibuixar cables.....	6
2.1.8 Afegir Cables terminals.....	7
2.1.9 Cables a l'aire	7
2.1.10 Assignació de pins	8
2.1.11 Creació d'un nou símbol	8
2.2 EDICIÓ UTILITZANT ABEL	11
2.3 SIMULACIÓ	13
2.3.1 Simulació de funcionament.....	13
2.3.2 Creació de vectors de test	14
2.3.3 Execució de la simulació.....	14
2.3.4 Veure els resultats a l'esquemàtic	15
2.4 IMPLEMENTACIÓ D'UN DISSENY	15
2.4.1 Translate	15
2.4.2 Map	16
2.4.3 Place & Route	16
2.4.4 Configuració.....	16
2.5 CONFIGURACIÓ PROM	16
2.6 PLACA DE DEMOSTRACIÓ	16
3. SESSIÓ GUIADA	18
3.1 OBJECTIU	18
3.2 EDICIÓ.....	18
3.2.1 Creació d'un nou projecte	18
3.2.2 Realització de l'esquema UNITAT	18
3.2.3 Realització del bloc DEC7SEG.....	19
3.2.4 Realitzar l'esquema de GUIA.....	20
3.3 SIMULACIÓ FUNCIONAL DE L'ESQUEMA UNITAT I BLOC DEC7SEG	21
3.4 IMPLEMENTACIÓ DEL DISSENY.....	21
3.5 SIMULACIÓ TEMPORAL DEL DISSENY	23
3.6 PLACA DE PROVES.....	24
3.6.1 Procés de Download.....	24
3.6.2 Creació d'un fitxer per gravar una PROM.....	26

1. INTRODUCCIÓ

En aquesta pràctica es pretén familiaritzar-se amb una eina de disseny digital per a dispositius FPGA. A l'apartat *Procés de creació d'un disseny* s'explica quin és el funcionament de l'eina de disseny :

- Creació d'un esquemàtic.
- Creació de nous símbols de llibreria.
- Inserció de components lògics dissenyats a partir d'un HDL.
- Simulació del funcionament del disseny (funcional i temporal).
- Programació de la FPGA.

La sessió guiada consisteix en el disseny d'un comptador descomptador de 3 bits. Per implementar-lo s'han de utilitzar 3 comptadors d'un bit, que s'han d'implementar creant un nou símbol de llibreria, i un decodificador de 7 segments per poder visualitzar el resultat. El decodificador s'ha d'implementar utilitzant un llenguatge de descripció de hardware com és el ABEL.

Un cop realitzat el disseny s'ha de realitzar una simulació funcionat per veure el correcte funcionament del sistema. Si tot funciona correctament es passa a realitzar la implementació del disseny. Quan ja es tingui el disseny implementat es realitza una simulació temporal per veure si els retards de les senyals poden afectar al funcionament del nostre disseny.

Un cop s'ha comprovat que el disseny és correcte es passa a la programació de la FPGA.

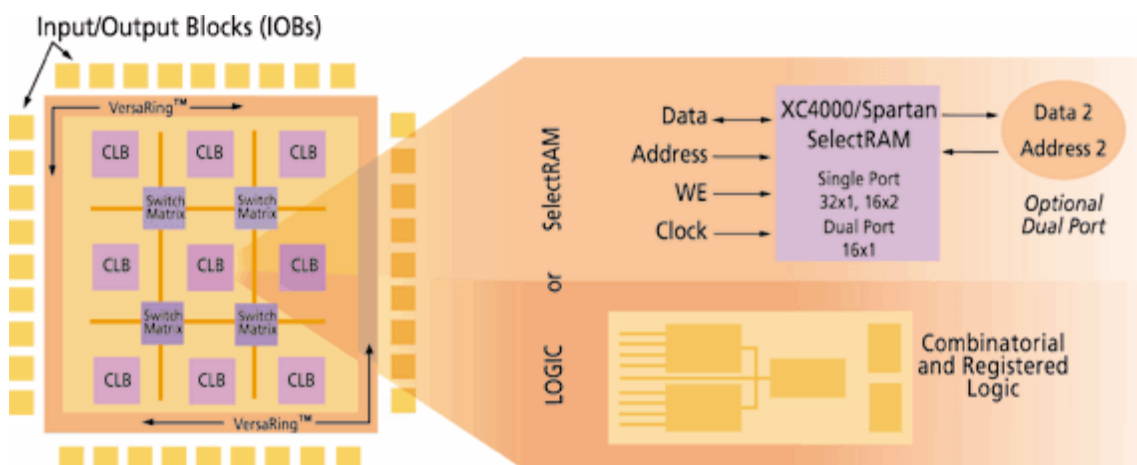



Figura 1. Esquema del interior d'una FPGA

2. PROCÉS DE CREACIÓ D'UN DISSENY

2.1 EDICIÓ D'UN ESQUEMÀTIC

2.1.1 Creació d'un projecte

1. Seleccionar **New Project** del menú **File** o prémer el botó **New Project**. 
2. Introduir el nom del projecte a la casella **Name**.
3. A la casella **Directory**, selecciona la localització per al nou projecte, La localització per defecte és el directori de projectes (c:\active\projects). Utilitzar el botó **Browse** per seleccionar el directori desitjat o introduir-lo manualment.
4. Seleccionar el tipus de projecte a la casella **Type**. En el nostre cas és XACTstep M1.
5. Seleccionar els paràmetres del dispositiu (Family, Part i Speed) tal i com s'indica a la Figura 2.
6. Click OK per completar l'operació.

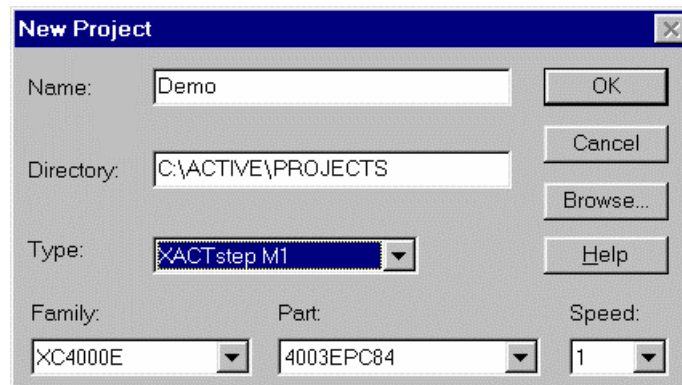


Figura 2. Creació d'un projecte


2.1.2 Creació d'un esquema bàsic

Podem iniciar **Schematic Editor** de diverses formes, per exemple :

Prement en el botó **Schematic Editor**  de la barra d'eines.

Si s'executa el programa per primera vegada, Schematic Editor crea automàticament un full en blanc. Aquesta tindrà el nom del projecte amb l'extensió **.SCH**. A l'arbre del **Project Manager** hi apareixerà una nova icona amb el nom de l'esquemàtic.

2.1.3 Afegir símbols

1. Prémer el botó **Symbol Toolbox**  de la barra d'eines.
2. A la finestra **SC Symbols** s'ha de seleccionar el símbol que es vol afegir. Es pot fer escrivint el nom del símbol a la casella situada a la part inferior de la finestra o utilitzant la barra de desplaçament vertical.
3. Un cop escollit el símbol a afegir, movent el cursor apareixerà la silueta del símbol que segueix el cursor.
4. Per posicionar el símbol cal fer click amb el mouse.

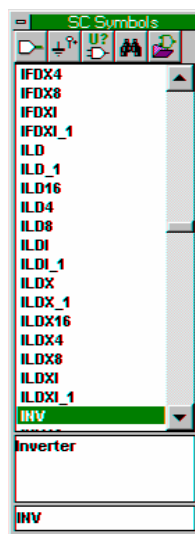



Figura 3. Finestra SC Symbol

2.1.4 Com utilitzar el Library Filter

La pantalla SC Symbol mostra la llista del tots els components trobats a totes les llibreries del projecte. Utilitzant el **Library Filter**, podem restringir aquesta llista perquè només mostri uns components específics.

1. Prémer el botó Symbol Filter  de la finestra **SC Symbol**.
2. Seleccionar els atributs desitjats. Per defecte tots el components estan seleccionats.
3. Si es volen imposar restriccions als noms dels components a seleccionar, s'ha d'introduir un patró a la casella Symbol Name. El patró pot utilitzar asteriscs (*).
4. Prémer OK per a què els canvis tinguin efecte.

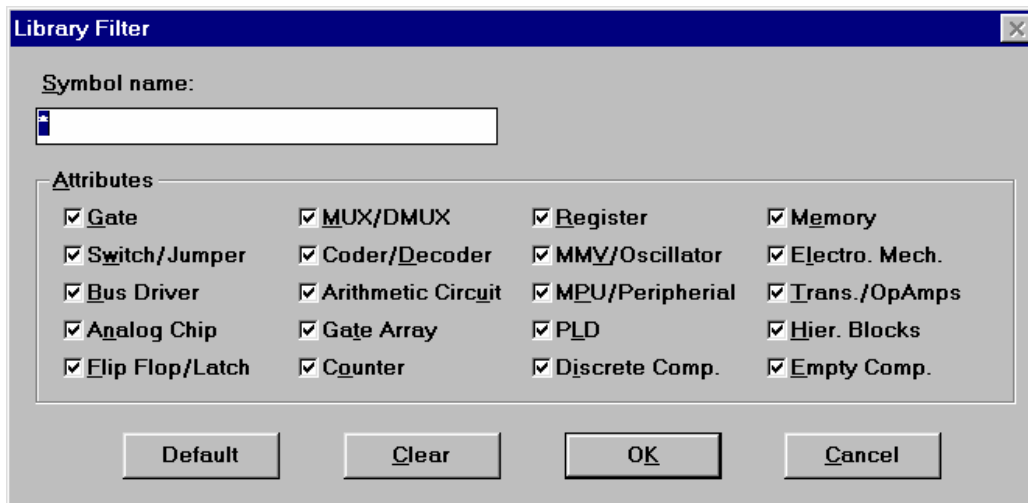






Figura 4. Finestra del Library Filter

2.1.5 Connexió de VCC i GND

1. Prémer el botó **Symbol Toolbox**  a la barra d'eines.
2. A la finestra SC Symbols seleccionar el símbol a carregar, en aquest cas VCC i GND.


2.1.6 Substitució de símbols.

Si es vol substituir un símbol per un altre que tingui la mateixa disposició de pins, es pot fer sense esborrar els busos i cables connectats.

1. Prémer el botó **Select and Drag**  de la barra d'eines.
2. Seleccionar el símbol i fer click al botó Disconnect Symbol  a la barra d'eines.
3. Esborrar el símbol mitjançant la tecla suprimir.
4. Seleccionar un nou símbol del menú **SC Symbols** i posicionar-lo en el lloc del símbol anterior.
5. Seleccionar el símbol i fer click al botó **Connect Symbol**  a la barra d'eines. El nou símbol quedarà connectat.

2.1.7 Dibuixar cables


Els cables representen les connexions elèctriques entre components. Per seleccionar el mode

Draw Wires s'ha de prémer el botó  de la barra d'eines.

1. Per realitzar una connexió s'ha de picar al pin, terminal o cable ja existent. En moure el mouse apareix un cable temporal entre l'origen i la posició actual.

2. Es pot cancel·lar la connexió en qualsevol moment amb la tecla **Esc**, tornant al mode **Drag and Select**.
3. Per completar la connexió, moure el cursor fins al pin, terminal o cable i prémer el botó del mouse.

2.1.8 Afegir Cables terminals

1. Prémer el botó **I/O Terminal**  de la barra d'eines. Schematic Editor entrarà en el mode Draw Wires i obrirà la finestra **I/O Terminal**.
2. Seleccionar el tipus de terminal i introduir el seu nom.

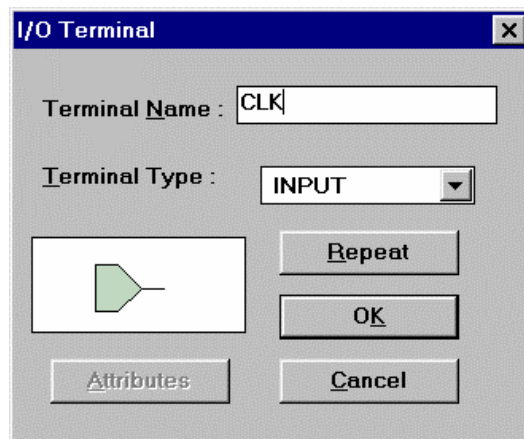




Figura 5. Finestra per afegir un I/O Terminal

3. Prémer OK per tancar la finestra de diàleg. El cursor del mouse adoptarà la forma : 
4. Moure el cursor fins a la posició on es vol afegir el terminal i prémer el botó del mouse.

2.1.9 Cables a l'aire

A vegades volem acabar un cable sense connectar-lo en lloc per completar-la posteriorment, són els anomenats **hangig wire**. El final d'aquests queda marcat en l'esquemàtic mitjançant petits punts. Durant la generació del netlist seran considerats com a **warnings**.

1. Moure el cursor fins la posició on es vol acabar el cable.
2. Prémer el boto dret per generar el cable temporal en l'extrem del cursor.
3. Prémer el botó  a la barra d'eines o prémer 2 vegades el botó esquerra del mouse.

2.1.10 Assignació de pins

S'ha de tenir a l'esquemàtic un IPAD, OPAD o IOPAD.

1. Doble click en el símbol IPAD per exemple.
2. Introduir el paràmetre **LOC** a la casella **Name** i el número pin a la casella **Description**.

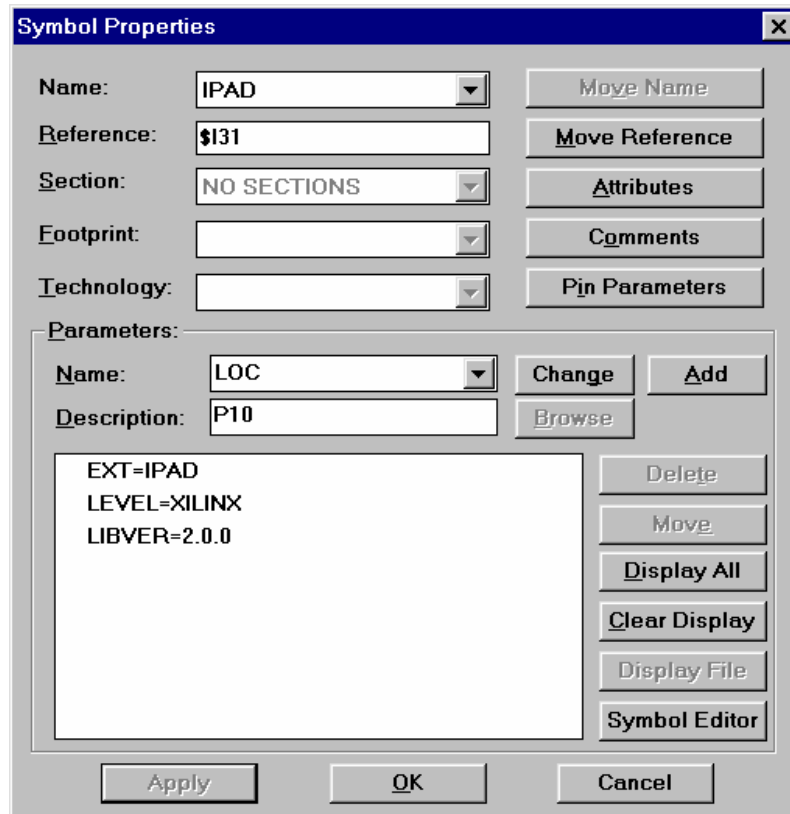


Figura 6. Propietat d'un símbol

3. Prémer el botó **Add** per afegir el paràmetre a la llista.
4. Prémer el botó **OK**.
5. El paràmetre P10 sortirà al costat del IPAD.

2.1.11 Creació d'un nou símbol

1. Seleccionar l'opció **New Symbol Wizard** del menú **Hierarchy**.
2. Prémer següent per entrar a la pantalla **Design Wizard**.
3. A la finestra **Design Wizard** s'ha d'especificar el nom de la unitat i com serà implementada.

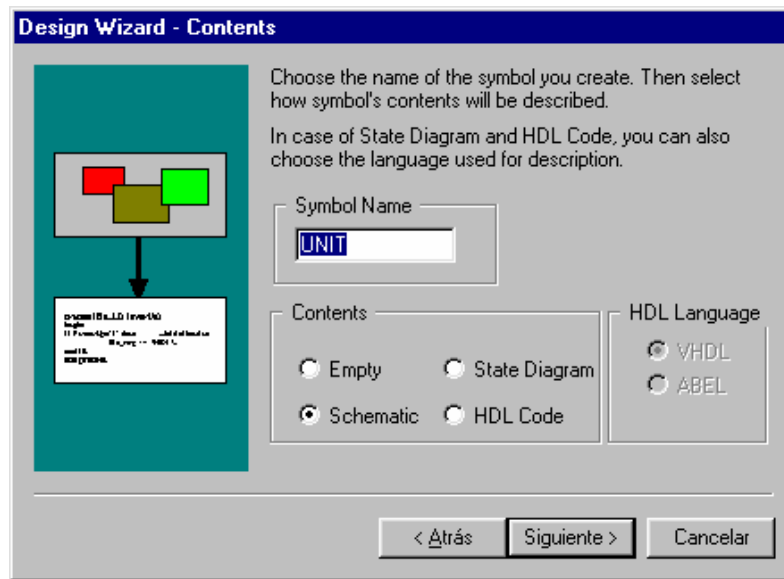


Figura 7. Finestra del Design Wizard

4. Prémer següent per passar a la finestra **Design Wizard - Ports**.
5. A aquesta finestra s'han d'afegir les entrades i sortides del bloc.
 - Prémer el botó **New** per crear una nova entrada o sortida
 - Introduir el seu nom a la casella **Name**
 - Seleccionar la direcció en el menú **Direction**

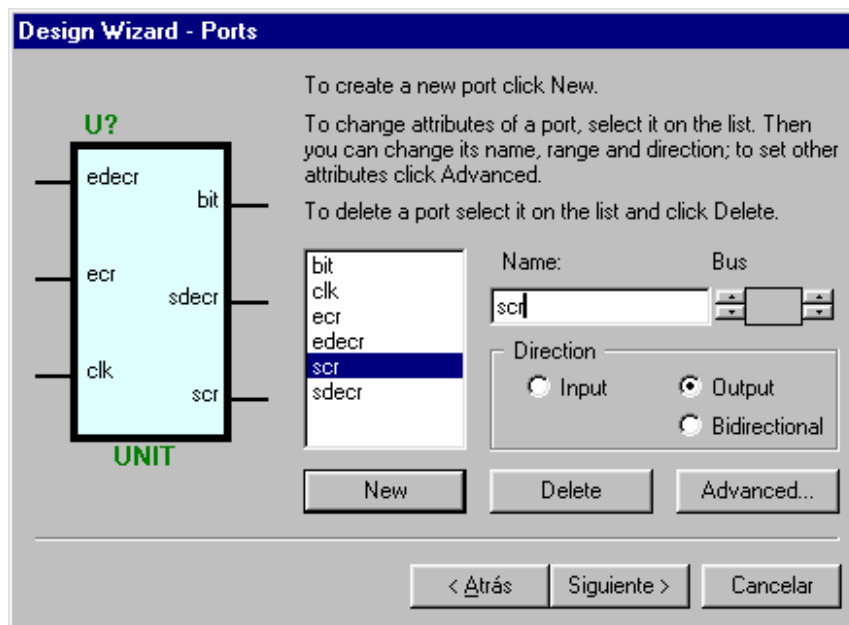


Figura 8. Finestra del Design Wizard - Ports

6. Prémer següent per passar a la finestra **Design Wizard - Attributes**.
7. A la finestra **Design Wizard - Attributes** s'han d'introduir comentaris sobre el funcionament del bloc creat.

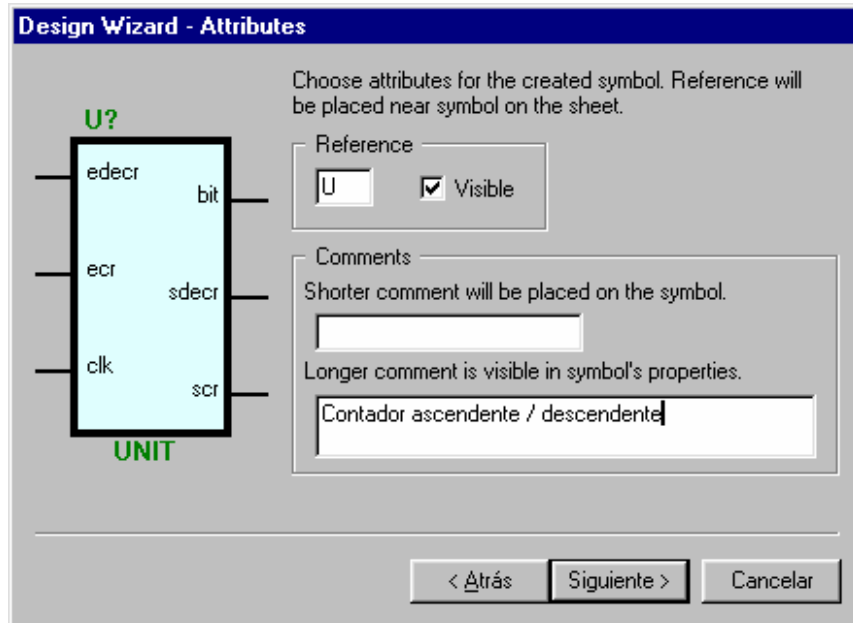


Figura 9. Finestra del Design Wizard - Attributes

8. Prémer següent per passar a la finestra **Design Wizard - Contents**.
9. Prémer Finalitzar per crear el símbol. El nou símbol quedarà ubicat a la llibreria del projecte.
10. Afegir el símbol a la pàgina de l'esquemàtic a realitzar.

2.2 EDICIÓ UTILITZANT ABEL

En aquest apartat es mostra com crear dissenys (d'alt nivell) independents de VHDL o d'ABEL, i com crear macros de VHDL o d'ABEL per utilitzar dins un disseny d'esquemàtic.

1. Obrir l'editor de HDL fent clic a la icona Editor HDL.
2. Seleccionar **Use HDL Design Wizard** i prem OK.

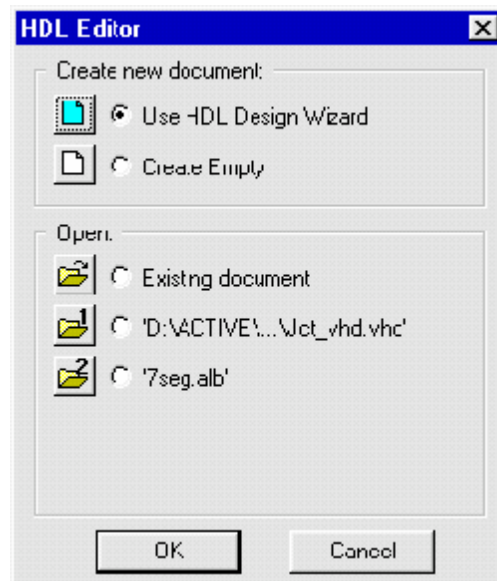


Figura 10. Creació d'un bloc HDL

3. Seleccionar següent i després escollir VHDL o ABEL.
4. Afegir el nom del disseny com a continuació:

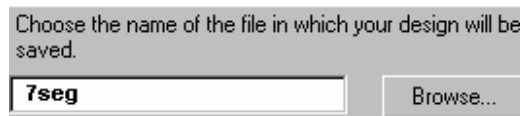


Figura 11. Afegir el nom del disseny

5. La següent pantalla en permet definir les entrades i sortides.

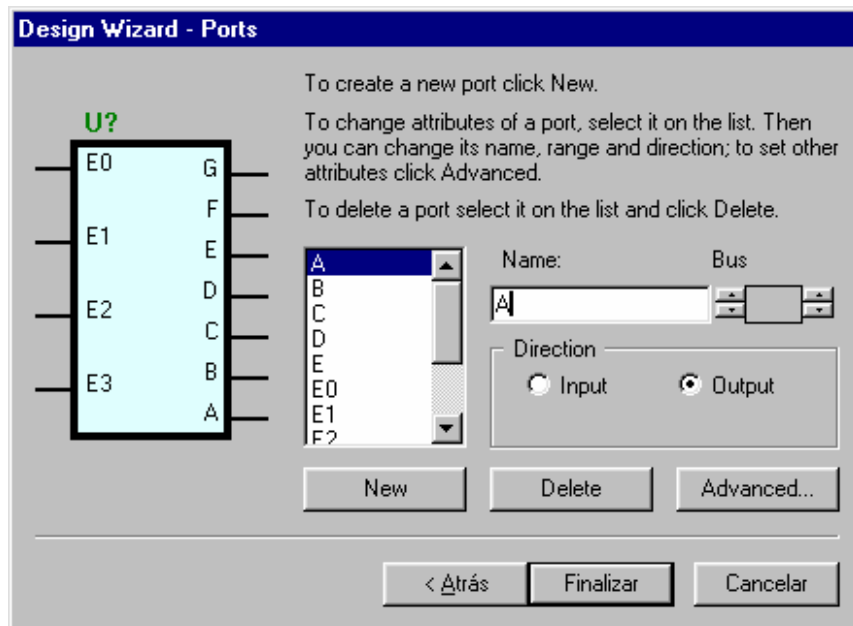


Figura 12. Pantalla per definir les entrades i sortides

6. Un cop definits totes les entrades si sortides, prémer finalitzar. Aquest procés ens donarà un model que ens permetrà realitzar el disseny lògic.

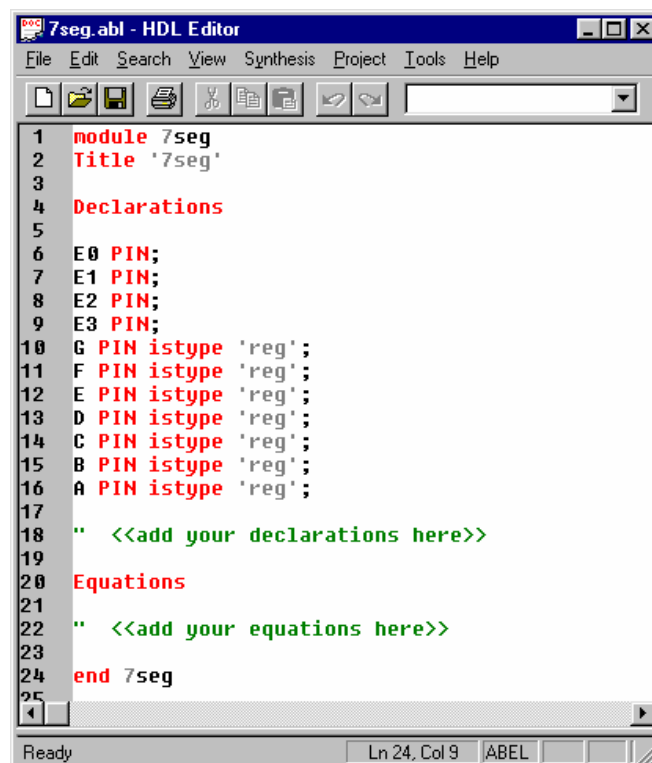



Figura 13. Editor de ABEL

- Per afegir el disseny al projecte cal seleccionar **Project>Create Macro**.







Figura 14. Creació d'una macro

- Sintetitzar el disseny seleccionant la icona  **Synthesize** o utilitzar el menú **Synthesis > Synthesize**.

2.3 SIMULACIÓ

2.3.1 Simulació de funcionament

- Seleccionar **Simulator** del menú **Tools** o prémer el botó **Simulator** . La versió actual de l'esquemàtic serà carregada al simulador.
- Per seleccionar els **test points** per la simulació, tornar a la finestra de l'esquemàtic prement  a la finestra de simulació i seleccionar el botó  al **schematic editor**.
- Prémer sobre l'esquemàtic els punts a estudiar.
- Tornar al simulador prement  per verificar que els **signals** s'han afegit al Waveform Viewer tal com es mostra a la següent figura.

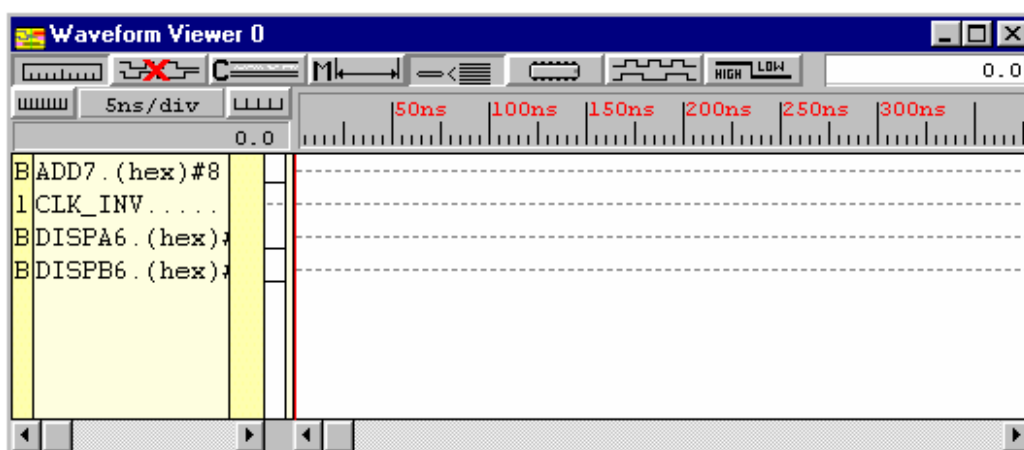


Figura 15. Pantalla del Waveform Viewer

2.3.2 Creació de vectors de test

1. Per seleccionar el **clock test vector**, prémer a la senyal CLK al **Waveform Viewer**.
2. Seleccionar **Add Simulators** del menú **Signals**.

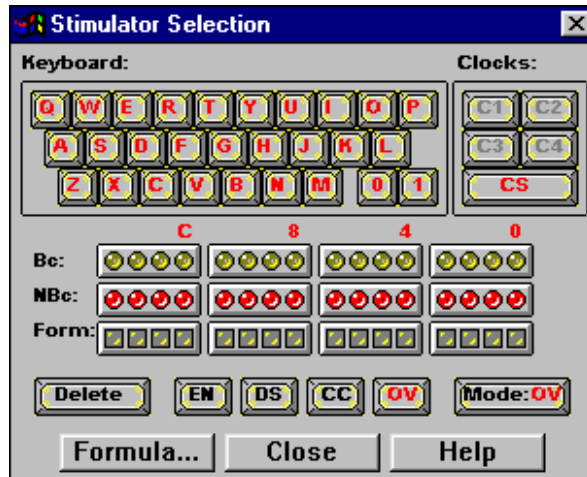




Figura 16. Finestra per controlar la simulació

3. Els diodes (LEDs) grocs i vermells son representacions gràfiques del generador de rellotge binari. El primer diode de la dreta és el clock B0 que té un període de 5ns, el segon és de 10ns, etc. Prémer el diode que es necessiti per la simulació. A les diferents entrades del disseny s'hi poden assignar tecles del teclat per realitzar una simulació interactiva.
4. Per gravar la selecció realitzada, utilitzar la opció **Save Waveform** del mení **File**.

2.3.3 Execució de la simulació

1. Prémer  a la finestra de simulació per fer una pas de simulació.
2. Prémer  a la finestra de simulació per fer un pas llarg de simulació.
3. Per gravar els resultats de la simulació utilitzar **Save Waveform** del menú **File**.

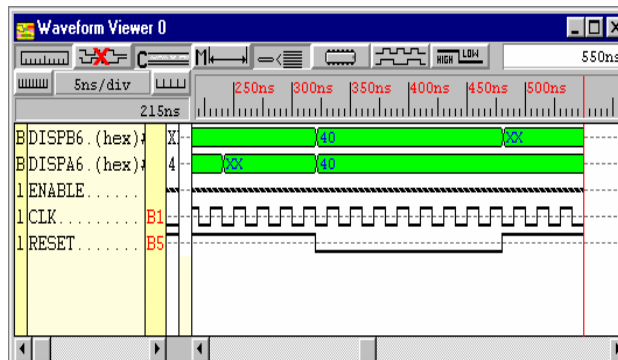


Figura 17. Finestra del simulador

2.3.4 Veure els resultats a l'esquemàtic

1. Tornar a la finestra de l'esquemàtic prement .
2. Les senyals seleccionades a la simulació apareixen marcades amb diferents colors. Els colors corresponen al estat lògics tal com s'especifica a continuació :

- Verd = 0
- Vermell = 1
- Blau = X (desconegut)
- Groc = Z (alta impedància)

3. Per continuar amb la simulació prémer el botó **Step** de la finestra **SC Probes**.



Figura 18. Finestra SC Probes

4. Cal notar com van canviant els colors dels senyals al llarg del temps.

2.4 IMPLEMENTACIÓ D'UN DISSENY

El **Xilinx Design Manager** és la interfície gràfica encarregada d'administrar la implementació de les versions i revisions creades durant el procés de disseny. El resultat d'aquestes implementacions està disponible en fitxers (reports) i són accessibles des del Design Manger's Report Browser.

Per obrir el Design Manager, prémer el botó XACTstep M1. Després d'executar **Design>Implement>Run**, crearà automàticament una nova versió i revisió del disseny i cridarà a Flow Engine. Aquest visualitzarà cada una de les següents fases : Translate, Map i Place & Route.

2.4.1 Translate

El primer pas del procés del disseny s'encarrega combinar de totes les entrades (netlists). Aquest procés dóna lloc a una transformació del disseny a un format intern. El procés executat és el NGDBuild.

2.4.2 Map

El map optimitza les portes i ajusta la lògica que no ha estat utilitzada en el procés de combinat de les NGD lists. També mapeja els recursos del disseny lògic en els CLBs i IOBs i realitza un test físic.

2.4.3 Place & Route

Un cop mapejat el disseny, el Flow Engine realitza el Place & Route. En aquesta etapa, tots els blocs lògics, incloses les estructures configurables dels blocs lògics (CLB) i dels blocs d'entrada/sortida (IOB), s'assigna a localitzacions específiques.

Si s'han definit restriccions de temps en algun component lògic, s'intentarà reduir el mínim aquests retards col·locant els components lògics afectats tan a prop com sigui possible.

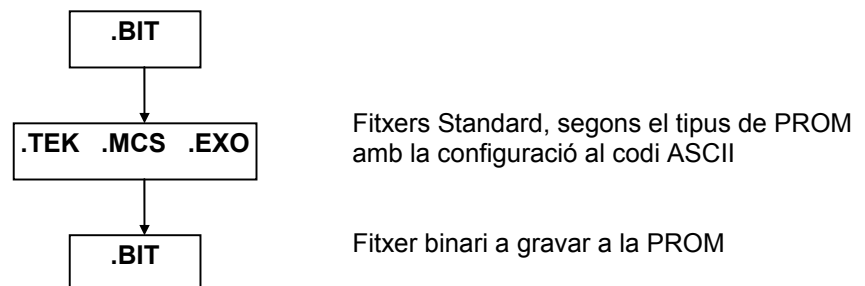
2.4.4 Configuració

Després de realitzar el Place & Route, el Flow Engine tradueix la implementació física a una seqüència binària. Aquesta seqüència s'utilitza per programar la FPGA. La seqüència binària es guarda com a un fitxer de configuració (.BIT).

2.5 CONFIGURACIÓ PROM

Per evitar haver de transferir la configuració a la FPGA cada vegada que es posa en funcionament, es grava aquesta configuració en una PROM de forma que en alimentar el sistema, la PROM carregui automàticament la configuració a la FPGA.

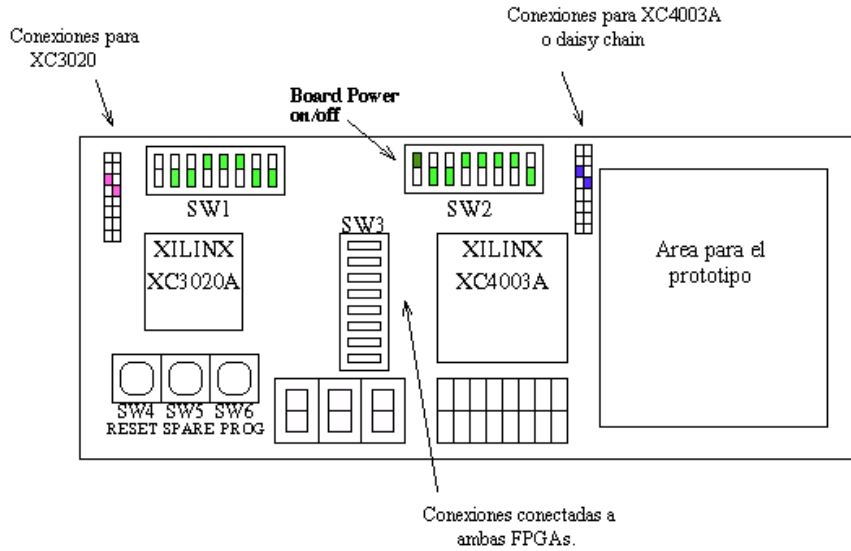
Per realitzar-lo, es parteix del fitxer .BIT per obtenir una altre fitxer que serà el que gravarem a la PROM.



2.6 PLACA DE DEMOSTRACIÓ

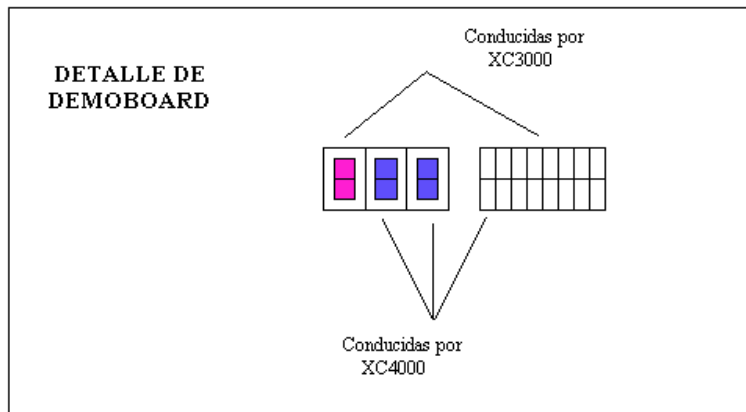
La placa de demostració consta dels següents components :

DEMOBOARD



XC4000 (SW2)	XC3000 (SW1)
PWR: X	IMP: X
MPE: OFF	MPE: X
SPE: OFF	SPE: X
M0: ON	M0: X
M1: ON	M1: X
M2: ON	M2: X
RST: X	MCLK: OFF
INIT: OFF	DOUT: OFF

Nota: **ON** = up, **OFF** = down



3. SESSIÓ GUIADA

3.1 OBJECTIU

Aquesta sessió guiada pretén realitzar tot el procés de creació d'un disseny concret pas a pas. El disseny que es vol realitzar és un comptador/descomptador de 3 bits.

El comptador/descomptador el realitzarem en un esquema general que contindrà altres esquemes en forma de blocs (disseny jerarquitzat). Els blocs que formen l'esquema general són :

- CLK : proporciona la senyal de rellotge.
- UNITAT : compta de forma ascendent o descendent.
- 7SEG : decodificador BCD-7 segments.

Els esquemes CLK troba en una llibreria i per tant el carregarem com a símbols. El esquema UNITAT l'haurèm de crear nosaltres i el bloc 7SEG l'haurèm de fer amb ABEL.

3.2 EDICIÓ

3.2.1 Creació d'un nou projecte

Name : Guia
Directory : C : \ACTIVE \PROJECTS
Type : XACTstep M1
Family : XC4000E
Part : 4003EPC84
Speed :1

3.2.2 Realització de l'esquema UNITAT

- Iniciar el Schematic Editor.
- Crear un nou símbol.
 - Symbol name : UNITAT
 - Contents : Schematic
 - Entrades : edecr, ecr i clk.
 - Sortides : bit, sdecr i scr.
- Insertar el símbols necessaris : OR2, AND2 (2), INV i FTC.
- Realitzar la connexió entre símbols.

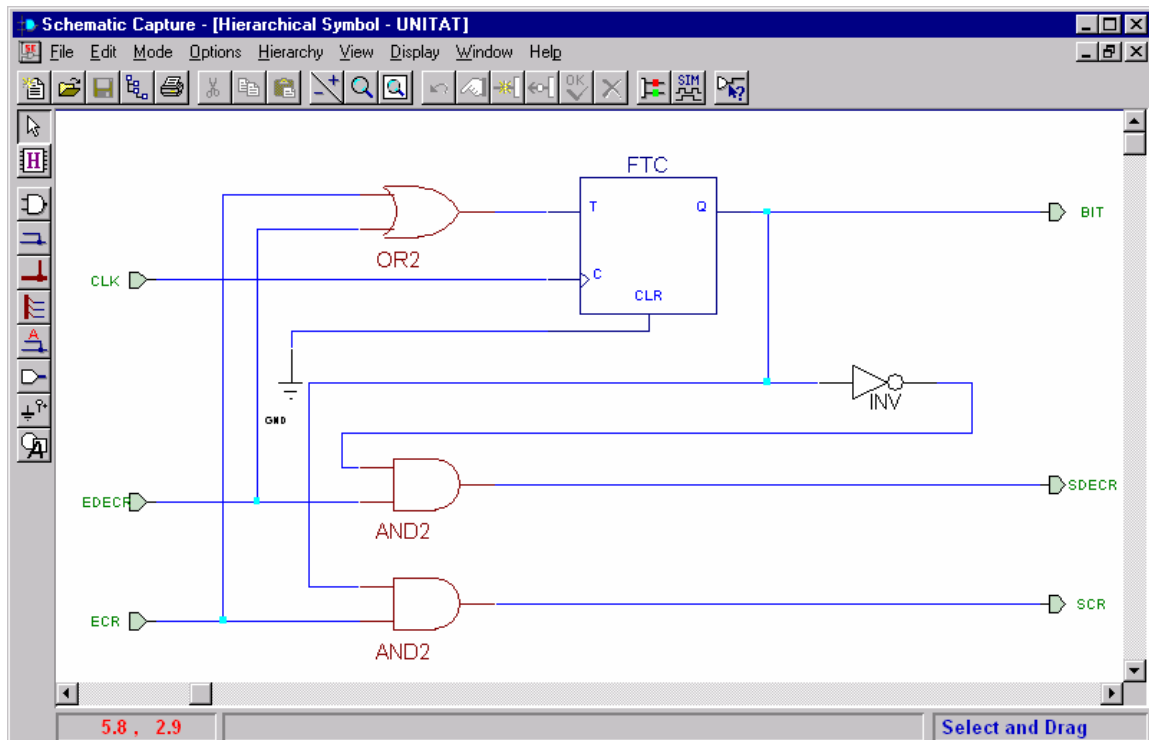


Figura 19. Esquema UNITAT

3.2.3 Realització del bloc DEC7SEG

- Crear un nou símbol.
 - Symbol name : DEC7SEG
 - Contents : HDL Code
 - Entrades : E0, E1, E2 i E3
 - Sortides : A, B, C, D, E, F i G
- Realitzar el programa en ABEL


```

module DEC7SEG
Title 'Decodificador 7 segments'

Declarations

E0 PIN;
E1 PIN;
E2 PIN;
E3 PIN;
A PIN istype 'reg';
B PIN istype 'reg';
C PIN istype 'reg';
D PIN istype 'reg';
E PIN istype 'reg';
F PIN istype 'reg';
G PIN istype 'reg';

```

```

bcd = [E3,E2,E1,E0];
led = [A,B,C,D,E,F,G];
ON,OFF = 0,1;
L,H,X,Z = 0,1,..,X,..,Z.;

```

```
@dcset
```

```

Truth_table (bcd -> [ A , B , C , D , E , F , G ])
0 -> [ ON, ON, ON, ON, ON, ON, OFF];
1 -> [ OFF, ON, ON, OFF, OFF, OFF, OFF];
2 -> [ ON, ON, OFF, ON, ON, OFF, ON];
3 -> [ ON, ON, ON, ON, OFF, OFF, ON];
4 -> [ OFF, ON, ON, OFF, OFF, ON, ON];
5 -> [ ON, OFF, ON, ON, OFF, ON, ON];
6 -> [ ON, OFF, ON, ON, ON, ON, ON];
7 -> [ ON, ON, ON, OFF, OFF, OFF, OFF];
8 -> [ ON, ON, ON, ON, ON, ON, ON];
9 -> [ ON, ON, ON, ON, OFF, ON, ON];
end DEC7SEG

```

3.2.4 Realitzar l'esquema de GUIA

A la pàgina creada amb el nom de GUIA1.SCH :

- Inserir els símbols necessaris : INV, IPAD, OPAD (7), IBUF, OBUF (7), UNITAT(3), DEC7SEG, OSC4, CB4RE.
- Realitzar la connexió entre símbols
- Col·locació d'etiquetes.
- Realitzar l'assignació de pins.
- Connectar VCC i GND.

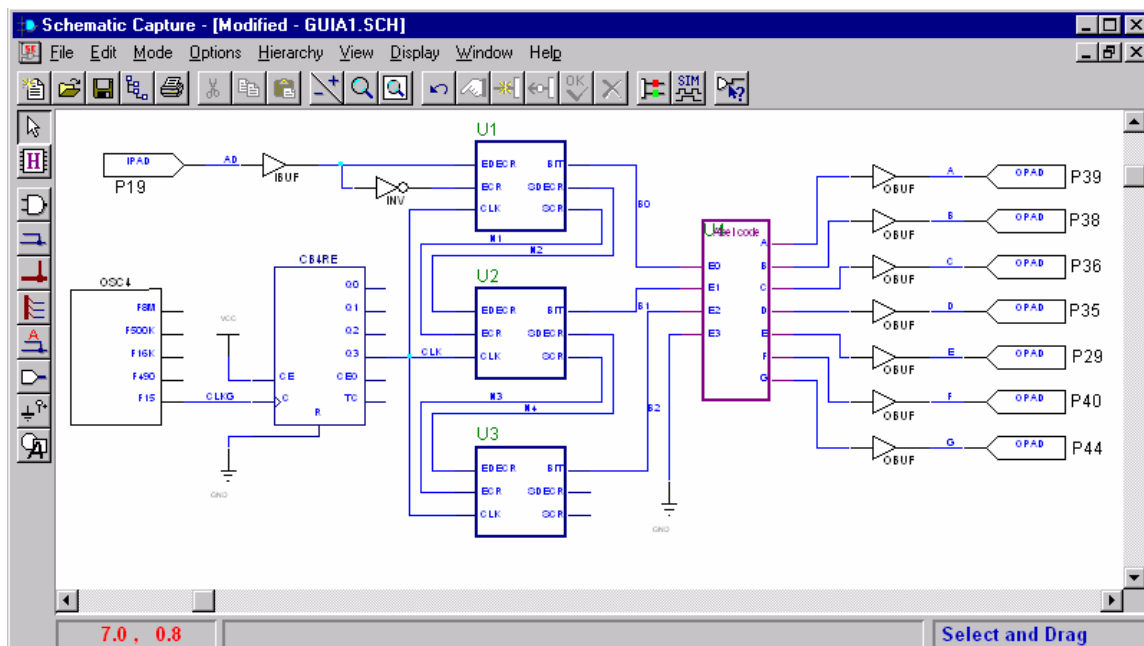






Figura 20. Esquema de GUIA

3.3 SIMULACIÓ FUNCIONAL DE L'ESQUEMA UNITAT I BLOC DEC7SEG

- Seleccionar **Simulator** del menú **Tools** o prémer el botó **Simulator** .
- Seleccionar els test points.
- Crear vectors de test.
- Executar la simulació.
- Per veure els resultats a l'esquemàtic prémer .
- Per tornar al simulador prémer .

3.4 IMPLEMENTACIÓ DEL DISSENY

Quan implementem el disseny, el software place & route prepara un fitxer de programació.

1. Prémer la icona XACTstep .

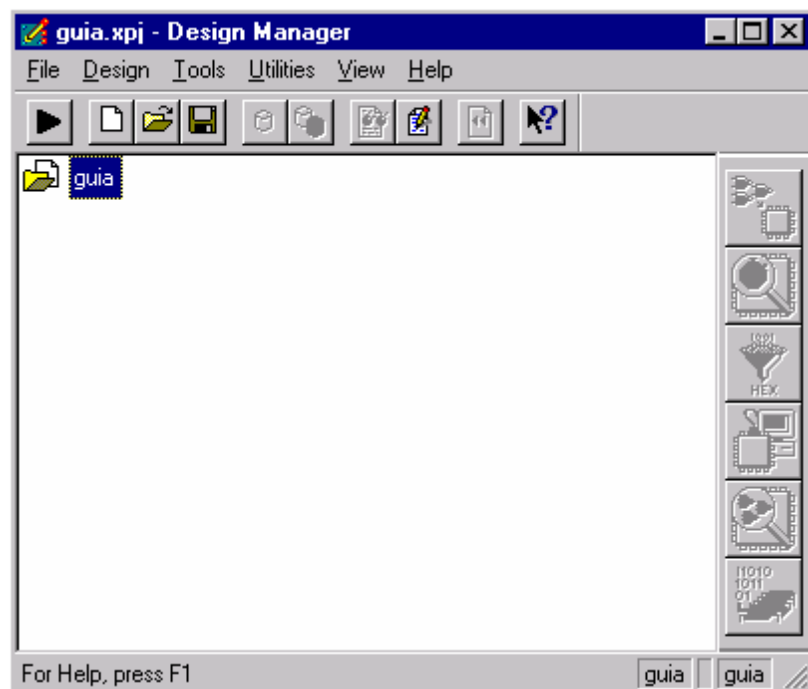


Figura 21. Design Manager

2. Seleccionar la icona de implementació  o el menú **Design>Implement**. Apareixerà el següent diàleg :

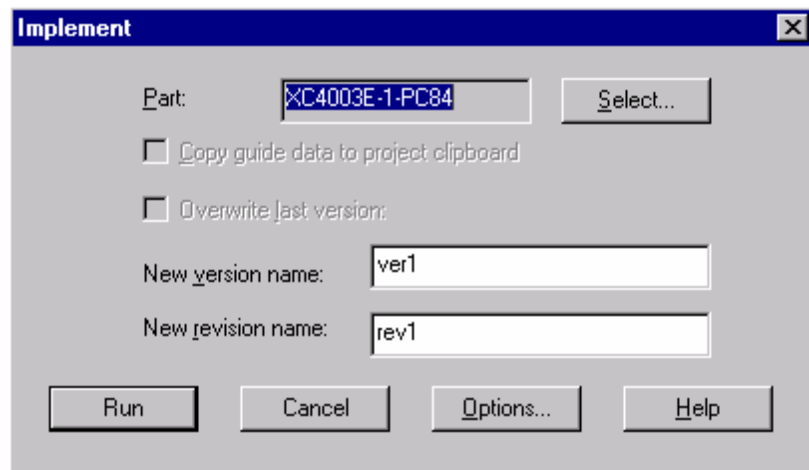


Figura 22. Diàleg de Implementació

3. Seleccionar el botó d'opcions, apareixerà una finestra de diàleg.

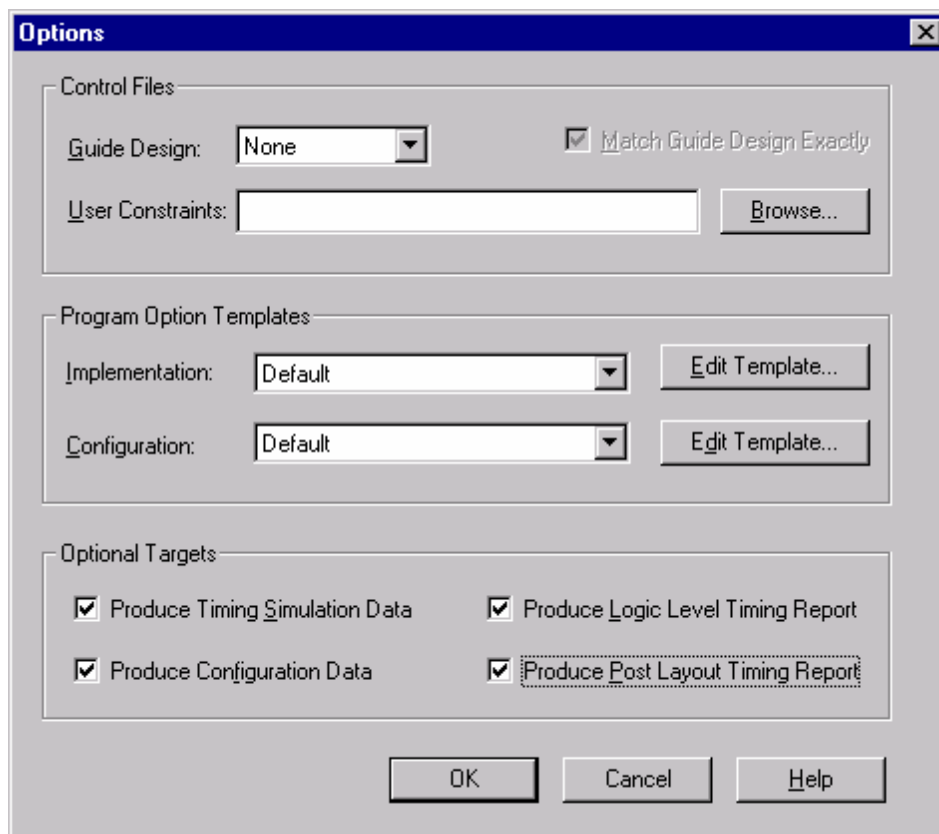


Figura 23. Opcions de la Implementació

4. Cal escollir les següents opcions per poder fer una simulació temporal.

- Produce Timing Simulation Data
- Produce Configuration Data
- Produce Logic Level Timing Report
- Produce Post Layout Timung Report

Prémer **OK**.

5. Per començar el Place & Route cal fer **Run**. El Flow Engine ens mostrarà el procés d'implementació.

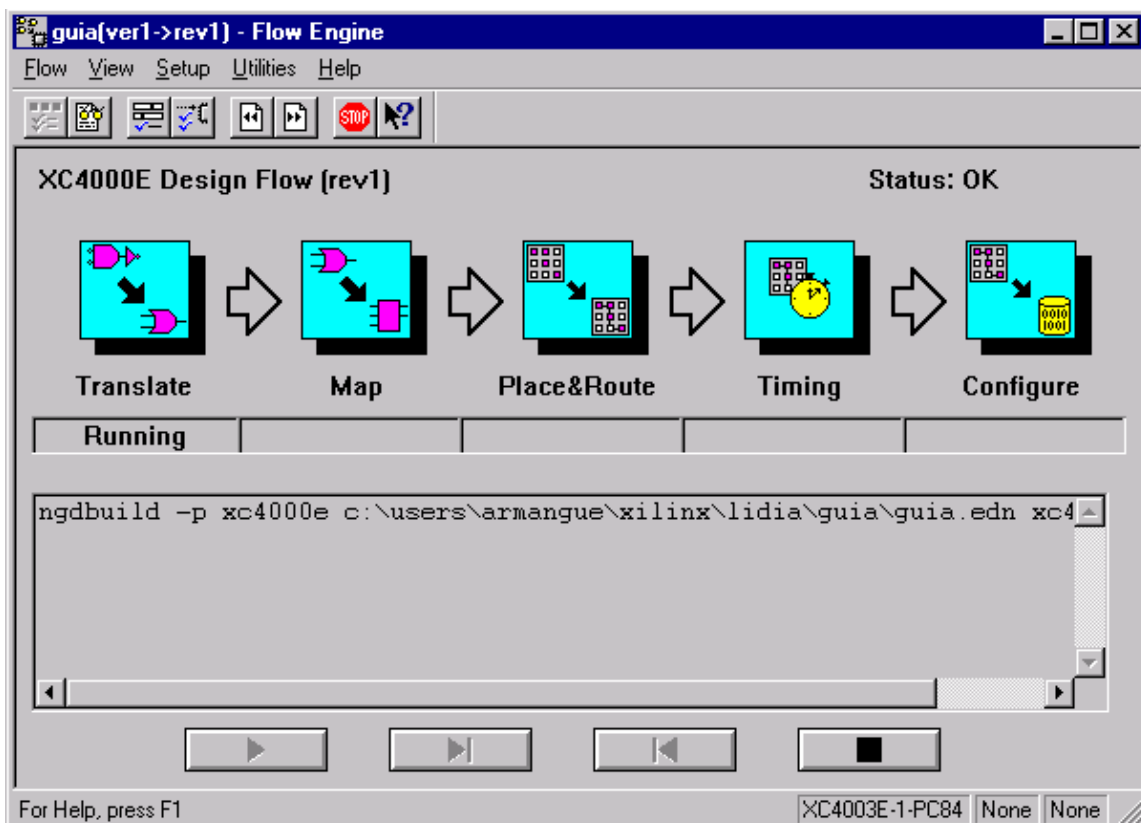





Figura 24. Flow Engine

6. Un cop finalitzat el procés prémer Reports per veure la informació generada.

3.5 SIMULACIÓ TEMPORAL DEL DISSENY



- Seleccionar  del Project Manager. En aquest cas podrem comprovar els retards que es produeixen entre les senyals.
- Seleccionar els test points.
- Crear vectors de test.

- Executar la simulació.
- Per veure els resultats a l'esquemàtic prémer .
- Per tornar al simulador prémer .


3.6 PLACA DE PROVES

Finalment passarem a comprovar mitjançant la placa de proves el correcte funcionament de nostre disseny. Es programarà de dispositiu XC4003E utilitzant el Xchecker Download Cable o una PROM sèrie.

3.6.1 Procés de Download

1. Connectar el cable de download al PC. Després connectar el cable a la placa de proves pel J2 i alimentar la placa amb 5 Volts.



2. Quan s'hagi realitzat la implementació amb èxit, seleccionant  podem veure la següent finestra.

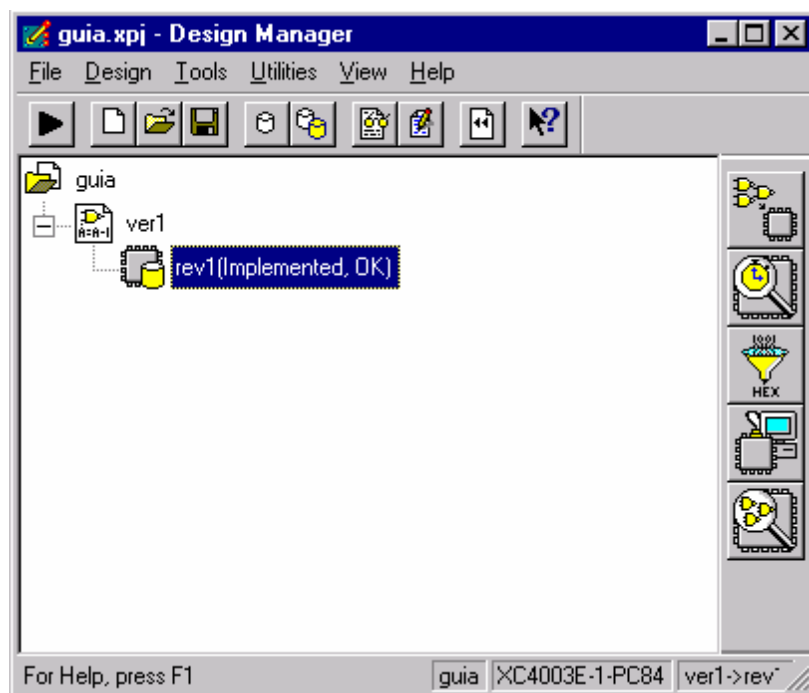



Figura 25. Design Manager amb una implementació del disseny

3. Prémer la icona del Hardware Debugger . Si no detecta el cable Xchecker donarà un error; comproveu que la placa estigui correctament connectada i a quin port sèrie esta connectar el cable Xchecker.

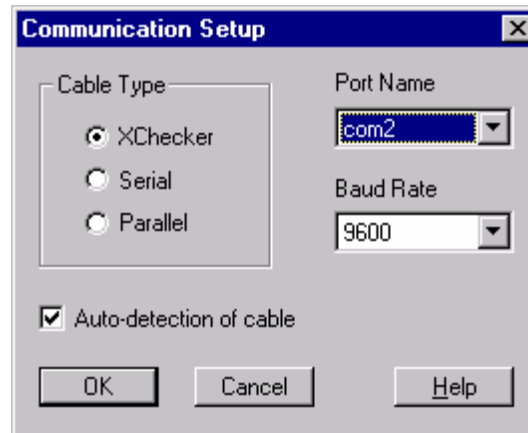


Figura 26. Diàleg per configurar el cable de download

4. Si tot ha anat bé arribarem a la finestra següent :



Figura 27. Hardware Debugger per realitzar el Download

5. Per fer el download prémer el botó .

3.6.2 Creació d'un fitxer per gravar una PROM



Per començar cal prémer el botó del **Design Manager** i ens obrirà la següent finestra :

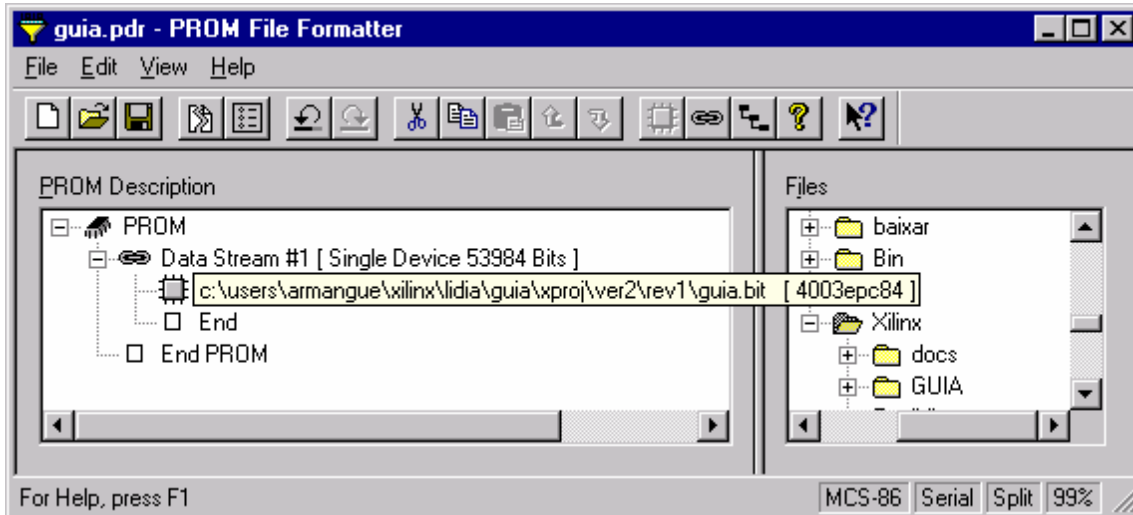
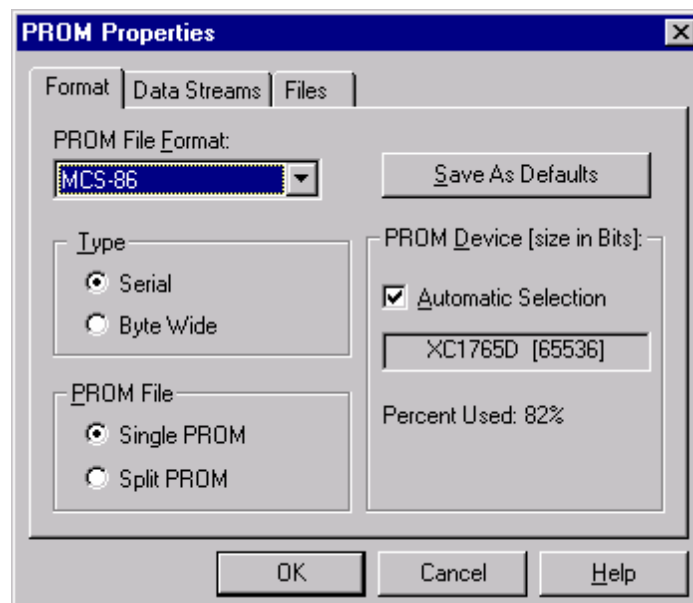


Figura 28. Utilitat per generar un fitxer de configuració per una PROM

Per defecte ja ens crea una fitxer per una PROM de forma automàtica, aquest fitxer té la extensió BIT. Si es miren les propietats del fitxer veurem :

- Està en format MCS-86 que és l'utilitzat pels dispositius Intel.
- És per una única PROM sèrie.
- Automàticament tria el model de XC1764D que és la que millor s'adapta a la mida del fitxer.



Qüestionari Pràctica 3

(És recomanable omplir-lo abans d'iniciar la primera sessió d'aquesta pràctica.)

- 1) Dibuixeu l'esquemàtic que utilitzareu en el nivell jeràrquic superior. Especifiqueu quins pins utilitzareu com a entrada i quins com a sortida.
- 2) Escriviu el codi VHDL que utilitzareu en almenys 2 mòduls del disseny que hagueu escollit.
- 3) Com es pot transferir el nostre disseny a la FPGA. (descripció de dos formes de fer-ho)

Nota: Podeu trobar informació sobre la placa de proves que utilitzareu al laboratori a

http://bear.ces.cwru.edu/eecs_317/demo_board.html