

## Pràctiques II-TAP

### Integració de sistemes: de les architectures a las comunicacions.

Programació de dispositius FPGA i DSP en una tarja de visió per computador (MAGCL).

Tota la documentació necessària la trobareu a la plana <http://eia.udg.es/~lImagi/doctorat>.

#### Pràctica 1.

##### Binarització d'una imatge amb llindars fixes

Aquesta pràctica consisteix en binaritzar una imatge en temps real.

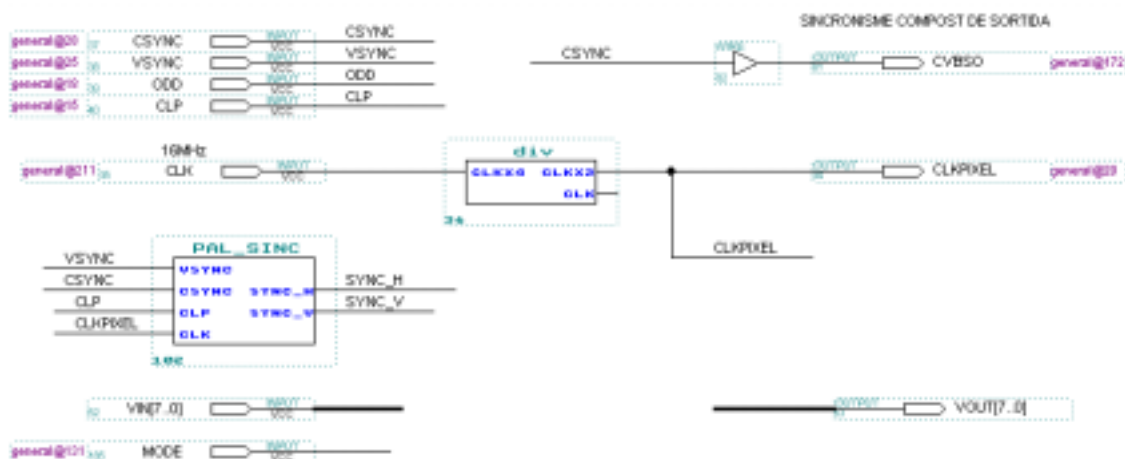
Si una imatge està composta per píxels codificats amb 8 bits, per binaritzar agafarem cada píxel de la imatge i el compararem amb dos llindars preestablerts per nosaltres. Si el valor del píxel es troba dins els llindars, llavors aquest píxel és bo i el transformarem en un píxel de color blanc, altrament, el píxel el transformarem en color negre.

#### Inici de la pràctica

La pràctica la desenvoluparem en VHDL, utilitzant el soft d'ALTERA, MAX+PLUS II.

Començarem per copiar tots els arxius de la pràctica en un directori. (Els trobareu a la meva plana WEB).

L'arxiu principal s'anomena **general.gdf**. En obrir-lo trobarem el següent:



En el diagrama podem observar les següents parts:

Una sèrie d'entrades corresponents al separador de sincronismes (LM1881).

Una entrada de rellotge de 16 MHz la qual serà el rellotge general de tots els blocs.

Una sortida de sincronisme compost pel monitor.

Una sortida de clock de píxel.

Una entrada i una sortida de vídeo de 8 bits (VIN[7..0] i VOUT[7..0]).

Una entrada de MODE de funcionament. Si es posa a '1', llavors la imatge surt binaritzada, altrament s'obté la imatge en directe.

Un bloc **div** amb el qual dividim el rellotge de 16MHz a 8MHz per aconseguir el clock de píxel **CLKPIXEL**.

Un bloc **pal\_sinc** amb el qual arreglem els senyals del separador de sincronismes i del qual s'obtenen els següents senyals:

SYNC\_H → es manté a zero durant la línia i es posa a '1' durant el sincronisme horitzontal.

SYNC\_V → es manté a '1' mentre es dibuixa el quadre i es posa a '0' durant el sincronisme vertical .

Aquests dos senyals ens indicaran quan hi ha imatge i quan no n'hi ha.

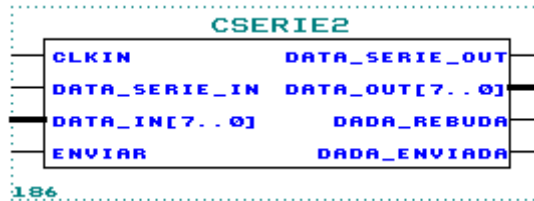
L'alumne haurà de construir un bloc amb les entrades i sortides adients per tal de poder realitzar la binarització. Es demana el codi VHDL comentat i la seva incorporació dins l'esquema general.

## Pràctica 2.

### Binarització d'una imatge amb llindars variables.

L'objectiu d'aquesta pràctica és el mateix que el de la pràctica anterior però amb la possibilitat de variar els llindars de binarització a voluntat. Aquest canvi es realitzarà a través d'un port sèrie RS232 amb l'ajuda d'un PC.

Per tal d'alliberar feina, el bloc que controla la comunicació està fet i rep el nom de **cserie2.vhd** que un cop cridat des de l'editor gràfic es presenta com:



On:

*Clkin* és el rellotge d'entrada de 8MHz.

*Data\_serie\_in* és el pin per on es reben les dades directe del port sèrie.

*Data\_in[7..0]* és el bus de dades de 8 bits amb el byte a enviar.

*Enviar* és un bit per on hi donarem un pols a l'hora d'enviar el byte de *Data\_in*.

*Data\_serie\_out* és el pin per on surten els bits enviats.

*Data\_out[7..0]* és el bus de 8 bits per on s'obté el byte rebut.

*Dada\_rebuda* és el pin per on s'obté un pols positiu quan es rep una dada. (Al obtenir un flac de pujada en aquest pin, la dada del bus *data\_out* és el nou valor rebut).

*Dada\_enviada* és el pin per on es rep un pols quan la dada a enviar s'ha acabat d'enviar.

Es demana el codi VHDL i la connexió amb l'esquema general dels blocs necessàris per realitzar aquesta funció.

### Ampliació de la pràctica

Com a ampliació, es demana pensar com es faria per a controlar els llindars i el mode de funcionament (binaria/directe) amb el port sèrie. Presentar el codi VHDL.