



Universitat de Girona

Escola Politècnica Superior

Dpt. Electrònica, Informàtica i Automàtica

Grup de Robòtica i visió Artificial

Tarja MAGCL

Manual d'utilització

Document de:

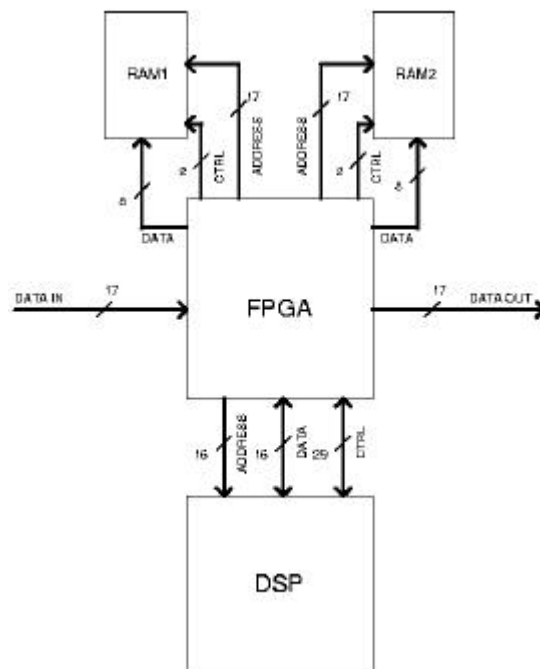
Lluís Magí Carceller (llmagi@eia.udg.es)

Tarja MAGCL

1. Descripció

La tarja es defineix com una cèl·lula bàsica de procés. Està basada en la potència de càlcul d'un DSP amb la recolzat per una FPGA amb la qual és possible realitzar petites operacions.

L'estructura bàsica és presenta en la següent figura:



En la figura es pot observar el connexionat bàsic de la cèl·lula. La FPGA és l'encarregada de gestionar totes les dades, el DSP realitza els càlculs matemàtics, i finalment apareixen dues memòries RAM on podrem guardar dades.

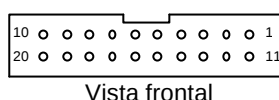
La cèl·lula té com a entrada un bus de 17 bits pensat per a separar-lo en bus de dades i bus de control. La sortida té el mateix format per a poder connectar vàries cèl·lules.

2. Informació tècnica

La tarja està encarada per al processat d'imatges en temps real, així que farem referència als bussos de dades i de control amb el nom determinat per aquests tipus d'aplicacions.

2.1. Entrades i sortides

Els connectors d'entrada i sortida són del tipus IDC de 20 pins. Es presenten amb l'inscripció VIDEO IN i VIDEO OUT. La seva configuració és:



Pin	Descripció	Pin	Descripció
1	Data0	11	Csync
2	Data1	12	Vsync
3	Data2	13	Hsync
4	Data3	14	Clk Píxel
5	Data4	15	Odd
6	Data5	16	Clp
7	Data6	17	In1
8	Data7	18	In2
9	GND	19	In3
10	+5v	20	+12v

Descripció dels pins

2.2. Connector auxiliar

S'ha incorporat un connector auxiliar per a la seva utilització en aplicacions específiques. Aquest es presenta en format IDC de 20 pins i els seus pins es coneixen com *conn1* ... *conn20*.

2.3. Alimentació

La tarja s'alimenta amb tensió simètrica de $\pm 5V$ i $\pm 12V$ i es presenta amb un connector amb connexió única per tal de no malmetre els components. S'han col·locat

dos connectors d'alimentació anomenats POWER IN i POWER OUT en paral·lel, per tal de poder alimentar varies plaques amb el menor nombre de cables.

Si només es fa servir la FPGA, es pot alimentar amb 5 volts deixant a l'aire els pins $-5V$ i $\pm 12V$.

2.4. Programació dels dispositius

2.4.1. Programació de la FPGA

La FPGA s'ha configurat per a la seva programació amb cable de DOWNLOAD i configuració *Passive Serial* o bé utilitzant els dispositius SPROM EPC1.

També és possible la seva configuració via JTAG.

2.4.2. Programació del DSP

El DSP està preparat per a la seva programació utilitzant el port sèrie RS232. Té incorporada una EPROM on hi ha el control del port. S'utilitza el programa DEBUG de *Texas Instruments* per al seu control i monitorització.

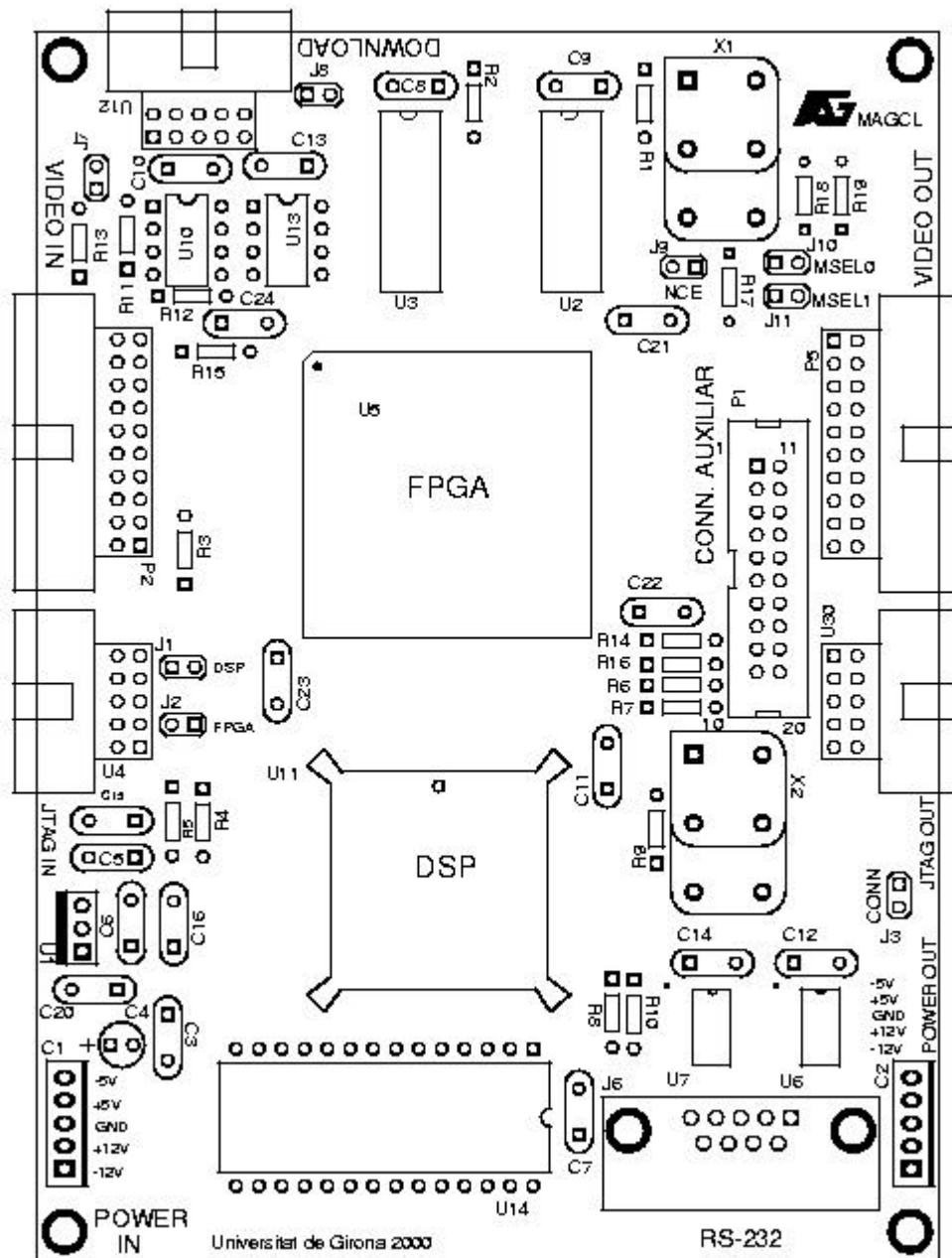
2.5. El port JTAG

La placa disposa de port JTAG d'entrada i sortida. Els dispositius programables estan connectats per a ser tractats per aquest. Les plaques poden ser connectades entre elles per a poder disposar de la utilitat del port en tots els dispositius instal·lats.

Cada dispositiu té un *jumper* per a poder ser curt-circuitat en qualsevol moment (veure la taula de *jumpers*).

2.6. Configuració de la tarja

La tarja presenta el següent aspecte extern i té una sèrie de *jumpers* amb els quals podem variar el seu comportament.



Vista general de la tarja MAGCL

A continuació es presenta una taula amb la descripció dels *jumbers* incorporats.

Jumper	Descripció	Valors
J1	Habilitació JTAG DSP	☐ Habilitat ☒ No Habilitat
J2	Habilitació JTAG FPGA	☐ Habilitat ☒ No Habilitat
J3	Habilitació JTAG Sortida	☐ Habilitat ☒ No Habilitat
J7	Càrrega de la FPGA	☐ SRAM ☒ EPROM
J8	Càrrega de la FPGA	☐ SRAM ☒ EPROM
J9	Mode de programació FPGA	Veure taula de programació
J10	Mode de programació FPGA	Veure taula de programació
J11	Mode de programació FPGA	Veure taula de programació

A continuació es presenta una taula per a poder configurar la FPGA segons el tipus de programació:

Jumper	Descripció	Valors
J9	Configuració Enable NCE	☐ No Habilitada ☒ Habilitada
J10	MSEL0	☐ '1' ☒ '0'
J11	MSEL1	☐ '1' ☒ '0'

Mode de configuració segons MSEL0 i MSEL1:

MSEL1	MSEL0	Mode de Configuració
0	0	EPROM o <i>Passive serial</i>
1	0	<i>Passive parallel synchronous</i>
1	1	<i>Passive parallel asynchronous</i>

PROGRAMACIÓ DELS DISPOSITIUS

ATENCIÓ, si no es vol fer servir el **DSP**, s'han de deixar els pins de la FPGA connectats amb el DSP a **alta impedància** (Última columna).

Pin	Descripció	Alta Impedància Sense DSP
29	Bit 0 vídeo in	No
26	Bit 1 vídeo in	No
24	Bit 2 vídeo in	No
21	Bit 3 vídeo in	No
19	Bit 4 vídeo in	No
17	Bit 5 vídeo in	No
14	Bit 6 vídeo in	No
12	Bit 7 vídeo in	No
15	CLP in	No
18	ODD in	No
20	CLKPIXEL	No
23	Hsync in	No
25	Vsync in	No
28	Csync in	No
13	Bit 0 lliure connector entrada	No
11	Bit 1 lliure connector entrada	No
9	Bit 2 lliure connector entrada	No
→ 173	Bit 0 vídeo out	No
171	Bit 1 vídeo out	No
168	Bit 2 vídeo out	No
166	Bit 3 vídeo out	No
163	Bit 4 vídeo out	No
161	Bit 5 vídeo out	No
158	Bit 6 vídeo out	No
156	Bit 7 vídeo out	No
159	CLP out	No
162	ODD out	No
164	CLKPIXEL	No
167	Hsync out	No

169	Vsync out	No
172	Csync out	No
157	Bit 0 lliure connector sortida	No
154	Bit 1 lliure connector sortida	No
153	Bit 2 lliure connector sortida	No
175	OE Ram0	No
174	WE Ram0	No
195	Data 0 Ram0	No
194	Data 1 Ram0	No
193	Data 2 Ram0	No
181	Data 3 Ram0	No
182	Data 4 Ram0	No
183	Data 5 Ram0	No
184	Data 6 Ram0	No
185	Data 7 Ram0	No
196	Adreça 0 Ram0	No
198	Adreça 1 Ram0	No
199	Adreça 2 Ram0	No
200	Adreça 3 Ram0	No
201	Adreça 4 Ram0	No
202	Adreça 5 Ram0	No
203	Adreça 6 Ram0	No
204	Adreça 7 Ram0	No
190	Adreça 8 Ram0	No
188	Adreça 9 Ram0	No
186	Adreça 10 Ram0	No
187	Adreça 11 Ram0	No
206	Adreça 12 Ram0	No
191	Adreça 13 Ram0	No
207	Adreça 14 Ram0	No
192	Adreça 15 Ram0	No
208	Adreça 16 Ram0	No
8	OE Ram1	No
7	WE Ram1	No
229	Data 0 Ram1	No

	228	Data 1 Ram1	No
	227	Data 2 Ram1	No
	214	Data 3 Ram1	No
	215	Data 4 Ram1	No
	217	Data 5 Ram1	No
	218	Data 6 Ram1	No
	219	Data 7 Ram1	No
	230	Adreça 0 Ram1	No
	231	Adreça 1 Ram1	No
	233	Adreça 2 Ram1	No
	234	Adreça 3 Ram1	No
	235	Adreça 4 Ram1	No
	236	Adreça 5 Ram1	No
	237	Adreça 6 Ram1	No
	238	Adreça 7 Ram1	No
	223	Adreça 8 Ram1	No
	222	Adreça 9 Ram1	No
	220	Adreça 10 Ram1	No
	221	Adreça 11 Ram1	No
	239	Adreça 12 Ram1	No
	225	Adreça 13 Ram1	No
	240	Adreça 14 Ram1	No
	226	Adreça 15 Ram1	No
	6	Adreça 16 Ram1	No
→	211	FPGA CLK	No
→	151	Bit 1 Connector auxiliar	No
	148	Bit 2 Connector auxiliar	No
	146	Bit 3 Connector auxiliar	No
	143	Bit 4 Connector auxiliar	No
	141	Bit 5 Connector auxiliar	No
	138	Bit 6 Connector auxiliar	No
	136	Bit 7 Connector auxiliar	No
	133	Bit 8 Connector auxiliar	No
	131	Bit 9 Connector auxiliar	No
	128	Bit 10 Connector auxiliar	No

	149	Bit 11 Connector auxiliar	No
	147	Bit 12 Connector auxiliar	No
	144	Bit 13 Connector auxiliar	No
	142	Bit 14 Connector auxiliar	No
	139	Bit 15 Connector auxiliar	No
	137	Bit 16 Connector auxiliar	No
	134	Bit 17 Connector auxiliar	No
	132	Bit 18 Connector auxiliar	No
	129	Bit 19 Connector auxiliar	No
	127	Bit 20 Connector auxiliar	No
→	61	Bit 0 Dades DSP	Si
	62	Bit 1 Dades DSP	Si
	63	Bit 2 Dades DSP	Si
	64	Bit 3 Dades DSP	Si
	65	Bit 4 Dades DSP	Si
	66	Bit 5 Dades DSP	Si
	67	Bit 6 Dades DSP	Si
	68	Bit 7 Dades DSP	Si
	70	Bit 8 Dades DSP	Si
	71	Bit 9 Dades DSP	Si
	72	Bit 10 Dades DSP	Si
	73	Bit 11 Dades DSP	Si
	74	Bit 12 Dades DSP	Si
	75	Bit 13 Dades DSP	Si
	76	Bit 14 Dades DSP	Si
	78	Bit 15 Dades DSP	Si
→	45	Bit 0 Adreces DSP	Si
	44	Bit 1 Adreces DSP	Si
	43	Bit 2 Adreces DSP	Si
	41	Bit 3 Adreces DSP	Si
	40	Bit 4 Adreces DSP	Si
	39	Bit 5 Adreces DSP	Si
	38	Bit 6 Adreces DSP	Si
	36	Bit 7 Adreces DSP	Si
	94	Bit 8 Adreces DSP	Si

34	Bit 9 Adreces DSP	Si
97	Bit 10 Adreces DSP	Si
98	Bit 11 Adreces DSP	Si
35	Bit 12 Adreces DSP	Si
99	Bit 13 Adreces DSP	Si
100	Bit 14 Adreces DSP	Si
101	Bit 15 Adreces DSP	Si
79	IAQ	Si
80	BIO	No
81	READY	No
82	TCLKR	No
83	TFSR	Si
84	CLKX	Si
86	TCLKX	Si
87	TOUT	No
88	CLKOUT	Si
90	IACK	No
92	XF	No
95	CLKMD1	No
102	RD	Si
103	WE	Si
105	DS	Si
106	IS	Si
107	PS	Si
108	R/W	Si
109	TDX	Si
110	DX	Si
111	TFSX	Si
113	FSX	Si
114	CLKIN1	No
115	CLKIN2	No
116	BR	Si
117	STRB	Si
46	CLKR	No
48	FSR	No

49	TDR	No
50	DR	No
51	NMI	No
53	INT4	No
54	INT3	No
55	INT2	No
56	INT1	No