

Pràctiques curs de doctorat 2004/2005

Pràctica 0.

Programació de dispositius lògics

Aquesta pràctica és una introducció i familiarització amb la programació de dispositius lògics programables, així com el primer contacte amb el hardware que s'utilitzarà en properes pràctiques.

La pràctica consisteix en seguir pas a pas el document anomenat "Programació de dispositius d'ALTERA utilitzant el MAX+PLUS II" i que es pot trobar a <http://eia.udg.es/~llmagi/practicaalteras.pdf>

En aquesta pràctica es mostrarà un hardware específic que conté una FPGA d'ALTERA i que es podrà programar.

Podreu trobar el manual de la placa a <http://eia.udg.es/~llmagi/magcl.pdf>

Pràctica 1.

Binarització d'una imatge.

Aquesta pràctica pretén realitzar la binarització d'una imatge monocromàtica en temps real utilitzant el hardware mostrat a la primera pràctica.

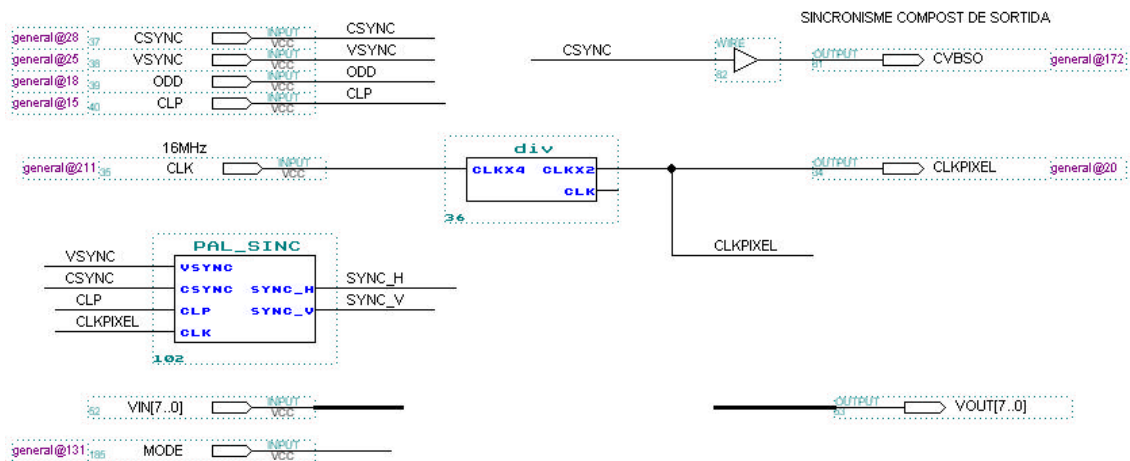
Per poder realitzar aquesta pràctica és necessari haver llegit el document anomenat "Digitalització del senyal de vídeo" que el podeu trobar a <http://eia.udg.es/~llmagi/digivideo.pdf>

Per binaritzar la imatge llegirem cada píxel i el compararem amb dos llindars preestablerts per nosaltres. Si el valor del píxel es troba dins els llindars, llavors aquest píxel és bo i el transformarem en un píxel de color blanc, altrament, el píxel el transformarem en color negre.

Inici de la pràctica

La pràctica la desenvoluparem en VHDL, utilitzant el soft d'ALTERA, MAX+PLUS II. Començarem per copiar tots els arxius de la pràctica en un directori. (Els trobareu a <http://eia.udg.es/~llmagi/arxius2003.zip>).

L'arxiu principal s'anomena **general.gdf**. En obrir-lo trobarem el següent:



En el diagrama podem observar les següents parts:

Una sèrie d'entrades corresponents al separador de sincronismes (LM1881).

Una entrada de rellotge de 16 MHz la qual serà el rellotge general de tots els blocs.

Una sortida de sincronisme compost pel monitor.

Una sortida de clock de píxel.

Una entrada i una sortida de vídeo de 8 bits (VIN[7..0] i VOUT[7..0]).

Una entrada de MODE de funcionament. Si es posa a '1', llavors la imatge surt binaritzada, altrament s'obté la imatge en directe.

Un bloc **div** amb el qual dividim el rellotge de 16MHz a 8MHz per aconseguir el clock de píxel **CLKPIXEL**.

Un bloc **pal_sinc** amb el qual arreglem els senyals del separador de sincronismes i del qual s'obtenen els següents senyals:

SYNC_H → es manté a zero durant la línia i es posa a '1' durant el sincronisme horitzontal.

SYNC_V → es manté a '1' mentre es dibuixa el quadre i es posa a '0' durant el sincronisme vertical .

Aquests dos senyals ens indicaran quan hi ha imatge i quan no n'hi ha.

L'alumne haurà de construir un bloc amb les entrades i sortides adients per tal de poder realitzar la binarització. Es demana el codi VHDL comentat, la seva incorporació dins l'esquema general i la prova del mòdul.

Pràctica 2.

Binarització d'una imatge amb llindars variables i mostra per pantalla del nivell de píxels blancs.

Aquesta pràctica és una ampliació de la pràctica 1. Es tracta d'utilitzar el mòdul creat i afegir un nou mòdul connectat a uns polsadors externs per tal de poder variar els llindars de la binarització. La utilització dels polsadors està documentada a l'arxiu "arxiu.zip" dins el document "*Funcionament dels polsadors.pdf*"

Opcionalment es demana mostrar per pantalla, de manera gràfica, la quantitat de píxels que es troben dins el llindar escollit. Una opció és crear una barra a la part inferior de la pantalla, tal i com es mostra a la figura:

