

# Arquitectures avançades de Computadors (Enginyeria Tècnica en Informàtica de Sistemes)

Dia : 12 de Juny de 2002  
 Aula : II 04 B  
 Hora : 16 h

**Observacions :** Les notes sortiran abans del dia 20.  
 Es podrà sol·licitar revisió per mail o amb una nota al casiller.  
 e-mails : [eusebi@eia.udg.es](mailto:eusebi@eia.udg.es), [teo@eia.udg.es](mailto:teo@eia.udg.es)

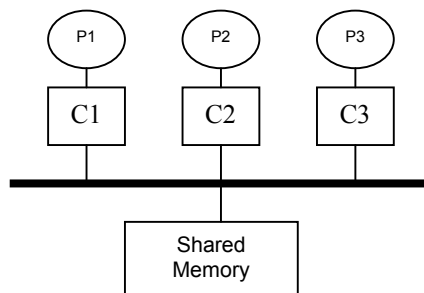
**Nom i cognoms :** \_\_\_\_\_

1.- Completar la següent taula (2 punts):

Tipus Xarxa	Grau (d)	Diàmetre (D)	# links	Ampla Bisecció (B)
Array Lineal				
Anell				
Arbre Binari				
Estrella				
Malla (r*r)				
Toroide (r*r)				

Nota : N nodes

2.- Considerant la següent arquitectura CC-NUMA (2 punts):



Completeu la següent taula, pels protocols de coherència MSI i MESI:

MSI/Acció	Estat P1	Estat P2	Estat P3	Acció al Bus	Element que subministra la dada
P1 llegeix u					
P3 llegeix u					
P3 escriu u					
P1 llegeix u					
P2 llegeix u					

MESI/Acció	Estat P1	Estat P2	Estat P3	Acció al Bus	Element que subministra la dada
P1 llegeix u					
P3 llegeix u					
P3 escriu u					
P1 llegeix u					
P2 llegeix u					

Nota : Estats (Shared, Invalid, Modified, Exclusiu)  
 Accions al bus : (BusRd, BusRd (S), BusRdx)

3.- Trobar la Latència i la mida del buffer per flits de 6 bits, amb dos bits de header i 1 bit (1 cicle) de retard al header. Suposem que atresem 4 enllaços (d'una xarxa malla de 2 dimensions). (1 punt)  
 Completar la següent taula:

Protocol Commutació	Latència	Mida Buffer
Wormhole		
Mad Postman		

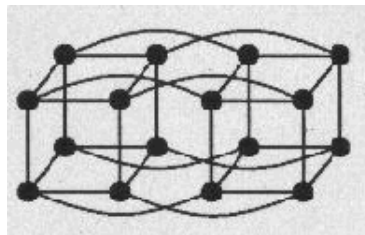
4.- Calcular l'Speed up segons les lleis d'Amdahl i Guftafson suposant la ratio d'una aplicació i :  $R_i = i$  i que la distribució de les probabilitats de càrrega  $w=(0.5, 0, 0, 0, \dots, 0.5)$ . (1 punts)

a) Completar la següent taula:

N (# PE)	Amdahl $S = n / (1 + (n-1) \alpha)$	Guftafson $S = n - \alpha (n-1)$
8		
32		
128		
512		

b) Quines conclusions podem extreure dels dos models de càlcul de l'Speed Up:

5.- Per la següent xarxa d'interconnexió (1 punt):



- Fer l'etiquetatge dels nodes i aplicar l'algorisme Dimension-Order entre els nodes 0000 i 0111.
- Suposant que cada node representa un router que interconnecta dos PE. (igual que la xarxa del Silicon Origin 2000). Calcular l'ampla de banda disponible per cada PE si suposem 16 nodes i un BW per cada link de 1,56 GB/sec.
- Diferència amb una xarxa Torus 3D en quan a la tolerància de fallades.

6.- Pel següent segment de codi (1 punt):

```

for(j=1;j<1000;j++)
{
    for(i=1;i<1000;i++)
    {
        for (k=1;k<1000;k++)
        {
            c[i][j] = MUL (a[i][k],b[k][j]);
            temp = sin(c[i][k]);
        }
    }
}

```

NOTA : on MUL és una funció que retorna el resultat de la multiplicació dels dos operands

a) Indicar com afectaria l'aplicació de les següents tècniques d'optimització, si al efectuar un perfix, tenim el següent perfil en les caches:

% perfix -e 25 multmat <- Per obtenir el número de falles de caché de L1

0 Cycles.....59002735555  
25 Primary data caché misses.....1338524786

% perfix -e 26 multmat <- Per obtenir les falles de caché de L2

0 Cycles.....59018761168  
26 Secondary data caché misses.....54515279

Temps d'execució 351 segons

Tècnica d'optimització	Aplicació
Ex . SW pipelining	No podem aplicar-la ja que tenim una dependència de dades.
Cache Blocking	
Loop fusion	
Inlining	
Loop Interchange	

b) Explica quines diferències podem trobar en la programació d'un multicomputador o un multiprocessador, en quan els següents aspectes:

- Model d'accés a les dades si tenim un model de memòria físicament distribuït (en el cas del multiprocessador suposem que està lògicament compartit):
- Model d'implementació de la coherència (respecte diverses xarxes d'interconnexió : Compartides (busos) , directes i indirectes) :

7.- En un supersegmentat amb el pipeline de la figura es vol decidir quina és la millor política de disseny dels salts (2 punts):

- Utilitzar delay-branch
- Utilitzar un BTB més predicció dinàmica. No utilitzar cap delay-branch. En cas de no estar en el BTB utilitzar la predicció estàtica de no saltar. L'actualització i l'accés al BTB costa un cicle.

Fetch	Fetch	Desc.	Lect PC+X	ALU Avaluació	Mem	Escipt.
-------	-------	-------	--------------	------------------	-----	---------

Contesta:

a) Quants cicles costa l'execució d'un salt? Comenta-ho per tots els casos.

b) Si en l'execució d'un programa el 25% són salts, d'aquests el 75% salten. En el primer cas, el compilador es capaç d'optimitzar el 50% dels delay-branches. En el segon cas, el BTB té una taxa d'encert del 90%, amb una predicció dinàmica correcte del 85%. Digues quina de les dues opcions dona un nombre de CPI més petit.