



ESTRUCTURA i TECNOLOGIA de COMPUTADORS

Transparències del Tema 5 Sistemes Digitals Seqüencials

J. Freixenet, X. Cufí, J. Martí,
M. Fàbregas i J. Ferrer
Departament d'Electrònica,
Informàtica i Automàtica

ETC - Esquema del tema 5

Sistemes seqüencials

Cel·la de Memòria

El Biestable

 Biestables Assíncrons

 Biestables Síncrons

 Biestable S-R

 Biestable D

 Biestable T

 Registres

Disseny de Sistemes Seqüencials

 Diagrames d'Estats

 Màquines de Moore

 Disseny i Implementació

 Màquines de Mealy

 Disseny i Implementació

ETC - Sistemes Seqüencials: Cel·la de Memòria

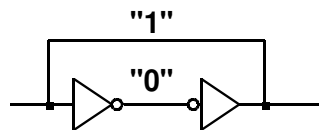
Sistema Digital Seqüencial

Sistema digital en el qual les **sortides no depenen solament del valor de les entrades** (com és el cas dels combinacionals) sinó que també **depenen del valor de les entrades en temps anteriors**.

BIESTABLE o FLIP-FLOP (FF)

Unitat Bàsica d'emmagatzematge → Element amb capacitat per emmagatzemar 1 bit d'informació (dos estats).

- Emmagatzema 2 **estats estables**: 0 o 1.
- Implementació d'una cel·la bàsica de memòria:
 - **Dos inversors** que s'alimenten mútuament: representen dues situacions estables que es podrien mantenir indefinidament.



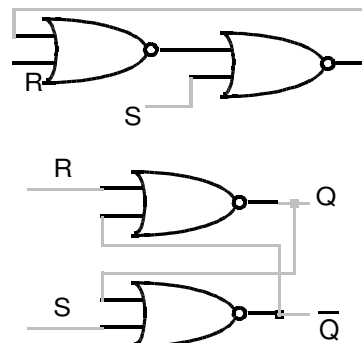
3

ETC - Sistemes Seqüencials: El Biestable (I)

- Amb el muntatge amb **NOTs**: No hi ha manera de controlar el seu estat. No té interfície per commutar el bit que s'emmagatzema.
- Apareix un **BIESTABLE** més complex (que es pot controlar). N'hi ha de diferents tipus.
- Dos tipus (o classes)
 1. **SÍNCRONS** L'emmagatzematge del bit depèn d'un **clock (Cik)**.
 2. **ASSÍNCRONS** L'emmagatzematge no depèn de res.
- **BIESTABLE S-R** (*Set – Reset*). És l'únic biestable assíncron estàndard.

S: SET → Forçar la sortida a 1
R: RESET → Forçar la sortida a 0

El funcionament és semblant al muntatge **NOT**, però es té la possibilitat de forçar la sortida a 0 (**Reset**) o a 1 (**Set**).



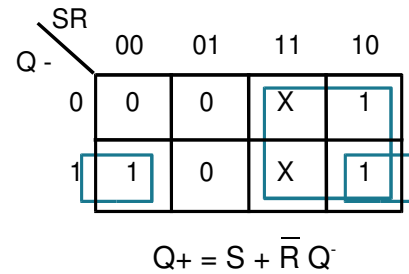
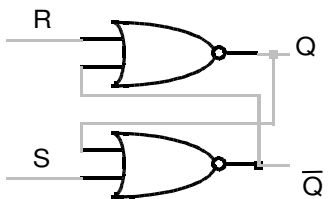
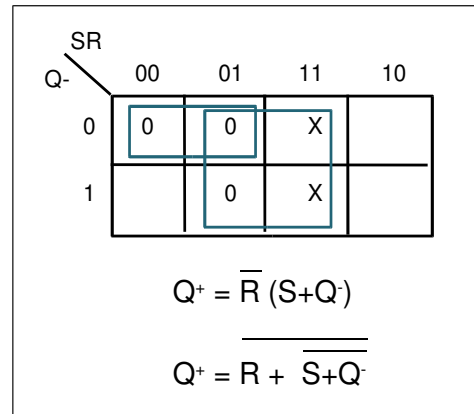
4

ETC - Sistemes Seqüencials: El Biestable (II)

FUNCIONAMENT del BIESTABLE S-R

S	R	Q
0	0	Mantenir
0	1	0
1	0	1
1	1	Inestable

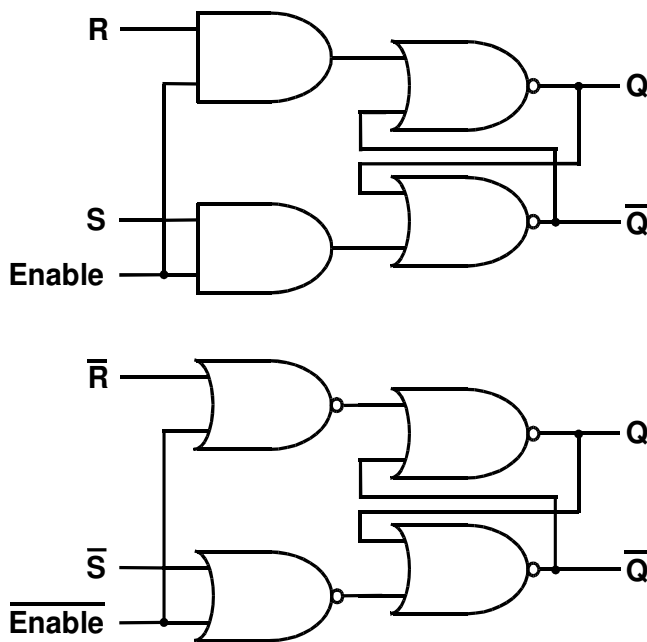
S	R	Q	Q ⁺
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	X
1	1	1	X



5

ETC - Sistemes Seqüencials: El Biestable (III)

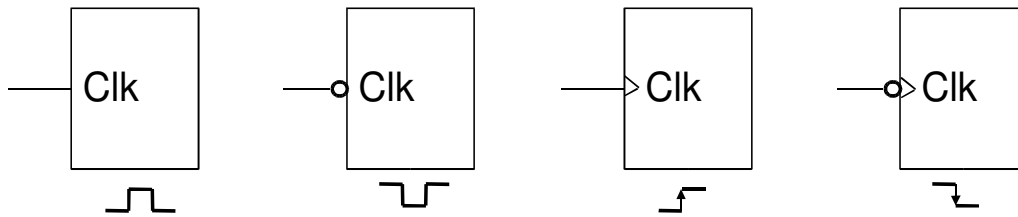
El BIESTABLE S-R amb habilitació (Enable):



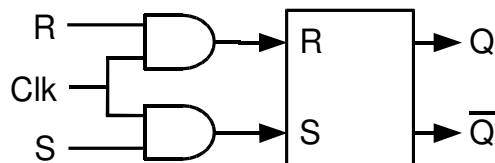
6

ETC - Sistemes Seqüencials: Biestables Síncrons (I)

- L'escriptura es fa sota el control d'un senyal de **Clk** (disparament). El disparament es pot fer **per nivell** o per **flanc** (de pujada o de baixada). Alguns distingeixen entre **FF** i **latches**.



• EI FF S-R SÍNCRON



- De totes maneres **els biestables síncrons** poden tenir **entrades de control assíncrones**, per tal de canviar l'estat (la sortida) del biestable quan calgui, és a dir, de forma independent del senyal de rellotge (**Clock**).

Exemples:

PRESET → Posa el FF a 1

CLEAR → Posa el FF a 0

7

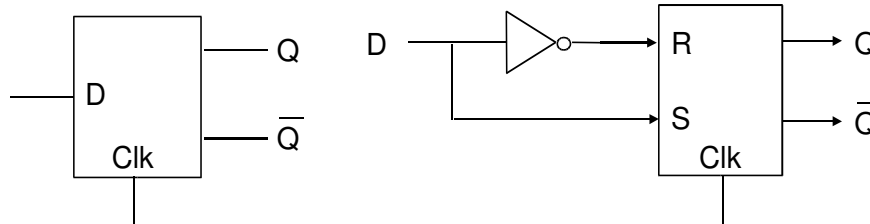
ETC - Sistemes Seqüencials: Biestables Síncrons (II)

EI BIESTABLE D (Data)

- Cel·la elemental d'un registre.
- Element amb **una entrada D** (*Dada*), que s'enregistra en el FF mitjançant l'activació del **Clk**.

D	Q+
0	0
1	1

$$Q^+ = D$$

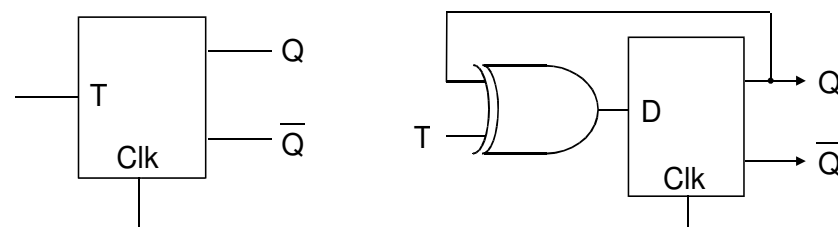


EI BIESTABLE T (Toggle)

- Si $T = 0$ el biestable manté la sortida igual, encara que s'activi la senyal de **Clk**.
- Si $T = 1$ el biestable inverteix la sortida quan s'activa la senyal de **Clk**.

T	Q+
0	Q-
1	\bar{Q} -

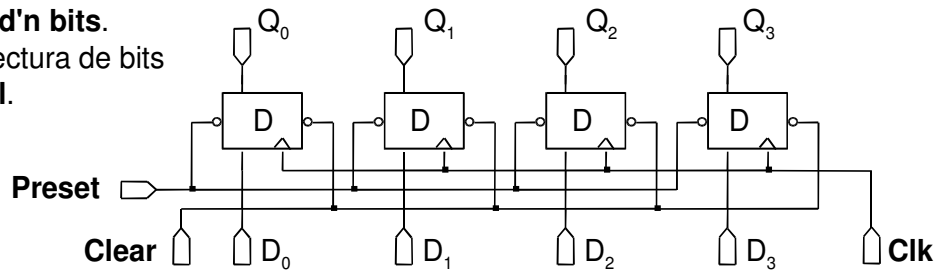
$$Q^+ = T \oplus Q^-$$



8

ETC - Sistemes Seqüencials: Registres amb FFs de tipus D

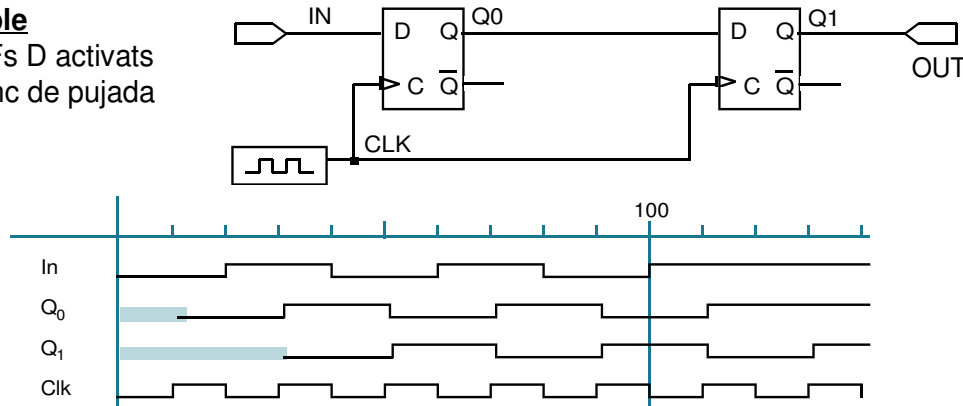
- **Registres d'n bits.**
Càrrega i lectura de bits en paral·lel.



- **Registres de desplaçament.** Càrrega en sèrie i lectura en sèrie o paral·lel.

Exemple

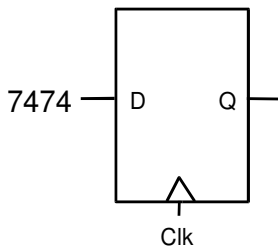
Dos FFs D activats per flanc de pujada



9

ETC - Sistemes Seqüencials: Biestables Síncrons (III)

COMPARATIVA DE BIESTABLES D SEGONS SI S'ACTIVEN PER NIVELL O PER FLANC



FF per flanc canvien la sortida a l'instant que es produeix l'event (el flanc).

Latches (FF per nivell) canvien la sortida mentre el nivell del rellotge sigui alt (o baix).

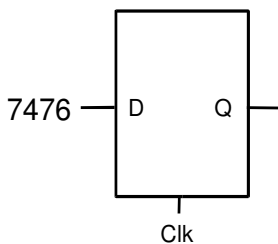
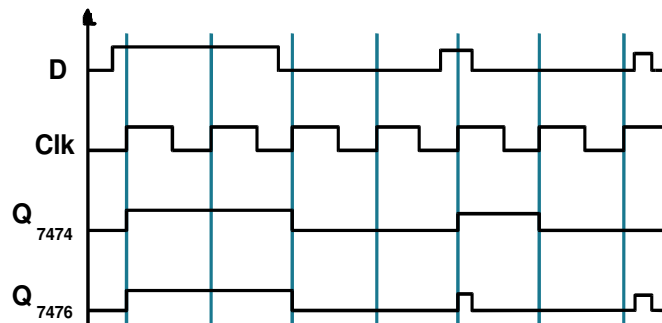


Diagrama de temps:



10

ETC - Sistemes Seqüencials: Biestables Síncrons (IV)

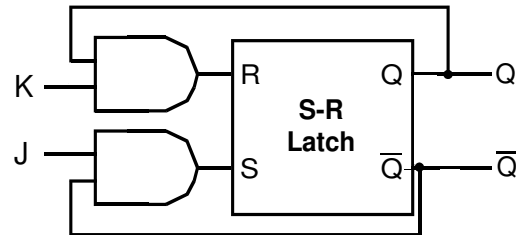
El FLIP-FLOP JK

- Com es pot eliminar l'estat **NO ESTABLE** del FF S-R ?

IDEA: Utilitzar la sortida que ens realimenta per garantir que **R** i **S** no siguin mai 1 alhora.

Quan **J = K = 1** llavors aquest FF es comporta com un **T** (*Toggle*).

J	K	Q ⁻	Q ⁺
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0



Equació característica:

$$Q^+ = Q \bar{K} + \bar{Q} J$$

11

ETC - Sistemes Seqüencials: Resum de Biestables (I)

Equacions característiques

S-R: $Q^+ = S + \bar{R}Q$

D: $Q^+ = D$

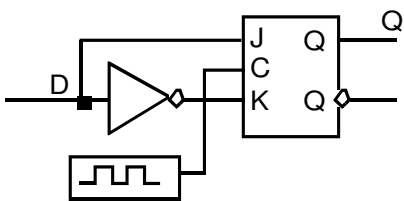
J-K: $Q^+ = J\bar{Q} + \bar{K}Q$

T: $Q^+ = T\bar{Q} + \bar{T}Q$

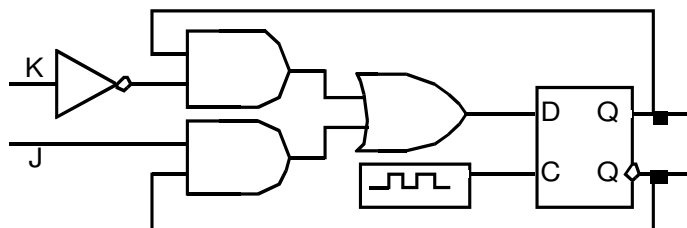
Extreure dels K-maps per $Q^+ = f(\text{Entrades}, Q)$

Exemple: J = K = 0, llavors $Q^+ = Q$
 J = 1, K=0, llavors $Q^+ = 1$
 J = 0, K=1, llavors $Q^+ = 0$
 J = 1, K=1, llavors $Q^+ = \bar{Q}$

Implementar un FF utilitzant-ne d'altres



D Implementat amb un J - K



J - K Implementat amb D

12

ETC - Sistemes Seqüencials: Resum Biestables (II)

- **Lectura inversa:** Si tinc Q^- i vull Q^+ , què cal que valguin les entrades?
- **Taules d'excitació:**

Q^-	Q^+	R	S	J	K	T	D
0	0	X	0	0	X	0	0
0	1	0	1	1	X	1	1
1	0	1	0	X	1	1	0
1	1	0	X	X	0	0	1

13

ETC - Disseny de Sistemes Seqüencials

DISSENY DE CIRCUITS SEQUENCIALS (FSM = Finite State Machine)

- Un circuit seqüencial es representa com un graf d'estats, on cada estat determina la història passada, per a poder saber què cal fer a continuació.
- Es canvia d'un estat a un altre (*transició*) en funció del valor de les entrades.
- Cada estat dura exactament un període de rellotge (*clock*).
- Existeixen dos tipus de sistemes seqüencials:
 - **Màquina de Moore.** Les sortides només depenen del estat actual.
 - **Màquina de Mealy.** Les sortides depenen del estat actual i de les entrades. És a dir, s'associen les sortides a les transicions.

Etales a seguir en el disseny de tot sistema seqüencial:

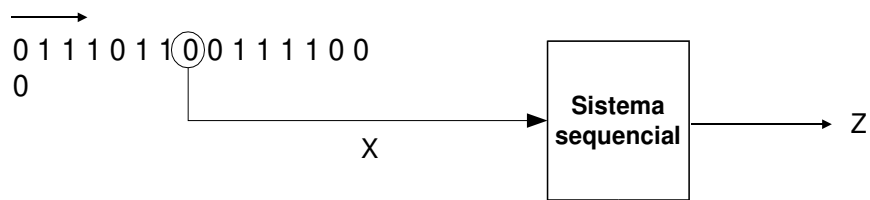
1. Descriure el comportament del sistema → obtenir el **diagrama d'estats**.
2. Obtenir la **taula d'estats**.
3. Reduir els estats → **simplificar els estats**.
4. Càlcul del **número de FF necessaris**.
5. **Assignació d'estats**.
6. Escullir el **tipus de FF** a utilitzar.
7. Obtenir la **taula de veritat d'excitacions** i les **funcions de sortida**.
8. **Simplificar** les **funcions d'excitació** i les **funcions de sortida**.
9. **Implementació** del circuit lògic amb portes i els FF escullits.

14

ETC - Disseny de Sistemes Seqüencials: Exemple

DETECTOR DE TRES UNS SEGUITS

- **Problema:** Es disposa d'un capçal lector d'una banda magnètica. Es vol **detectar** quan es llegeixen **tres uns seguits**.
- **Objectiu:** Dissenyar un sistema seqüencial que permeti aquesta detecció.

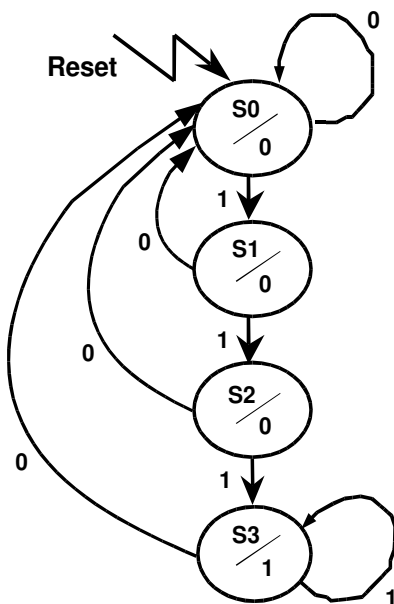


15

ETC - Disseny de Sistemes Seqüencials: Moore (I)

DETECTOR DE TRES UNS SEGUITS (AMB UNA MÀQUINA DE MOORE)

Pas 1: Comportament del sistema. **Pas 2:** Obtenció de la taula d'estats.



Estat	Entrada	Estat+	Sortida
S0	0	S0	0
S0	1	S1	0

S1	0	S0	0
S1	1	S2	0

S2	0	S0	0
S2	1	S3	0

S3	0	S0	1
S3	1	S3	1

16

ETC - Disseny de Sistemes Seqüencials: Moore (II)

DETECTOR DE TRES UNS SEGUITS (AMB UNA MÀQUINA DE MOORE)

Pas 3: No es pot simplificar. No hi ha cap estat igual per fusionar.

Pas 4: S'han obtingut 4 estats diferents → Es necessiten 2 FF ($2^2 = 4$).

Pas 5: Assignació d'estats.

Q_1	Q_0	Estat
0	0	s0
0	1	s1
1	0	s2
1	1	s3

Pas 6: Es decideix utilitzar FF del tipus JK ja que, normalment, les expressions surten més simplificades.

17

ETC - Disseny de Sistemes Seqüencials: Moore (III)

Pas 7: Obtenció de les funcions de sortida i de canvi d'estat.

X	Q_1^-	Q_0^-	Q_1^+	Q_0^+	J_1	K_1	J_0	K_0	Z
0	0	0	0	0	0	X	0	X	0
0	0	1	0	0	0	X	X	1	0
0	1	0	0	0	X	1	0	X	0
0	1	1	0	0	X	1	X	1	1
1	0	0	0	1	0	X	1	X	0
1	0	1	1	0	1	X	X	1	0
1	1	0	1	1	X	0	1	X	0
1	1	1	1	1	X	0	X	0	1

$$Z = Q_1^- Q_0^-$$

Q_0^-	Q_1^-	00	01	11	10
0	0	0	0	1	1
1	0	X	X	X	X

$$J_0 = X$$

Pas 8: Simplificació.

Q_0^-	Q_1^-	00	01	11	10
0	0	0	X	X	0
1	0	0	X	X	1

$$J_1 = X Q_0^-$$

Q_0^-	Q_1^-	00	01	11	10
0	0	X	1	0	X
1	0	X	1	0	X

$$K_1 = \bar{X}$$

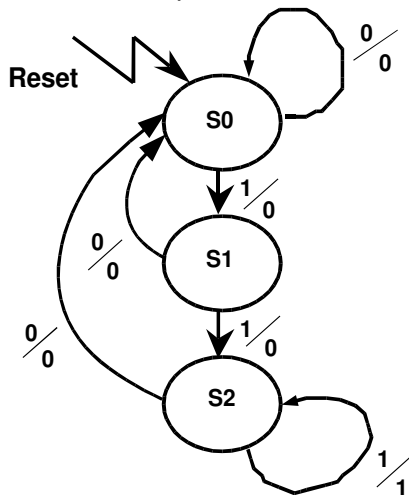
Q_0^-	Q_1^-	00	01	11	10
0	0	X	X	X	X
1	0	1	1	0	1

$$K_0 = \bar{X} + \bar{Q}_1^-$$

18

ETC - Disseny de Sistemes Seqüencials: Mealy (II)

Pas 1: Comportament del sistema.



Pas 2: Obtenció de la taula d'estats (simplificada).

Estat	Entrada	Estat+	Sortida
S0	0	S0	0
S0	1	S1	0
S1	0	S0	0
S1	1	S2	0
S2	0	S0	0
S2	1	S2	1

Pas 3: Ja no es pot simplificar més.

Pas 4:

S'han obtingut 3 estats diferents → Es necessiten 2 FF ($2^2 = 4$).

Pas 5: Assignació d'estats:

Q_1	Q_0	Estat
0	0	s0
0	1	s1
1	0	s2

Pas 6: Es decideix utilitzar FF del tipus JK, ja que, normalment, les expressions surten més simplifiades.

21

ETC - Disseny de Sistemes Seqüencials: Mealy (III)

Pas 7: Obtenció de les funcions de sortida i de canvi d'estat.

Q_1^-	Q_0^-	X	Q_1^+	Q_0^+	J_1	K_1	J_0	K_0	Z
0	0	0	0	0	0	X	0	X	0
0	0	1	0	1	0	X	1	X	0
0	1	0	0	0	0	X	X	1	0
0	1	1	1	0	1	X	X	1	0
1	0	0	0	0	X	1	0	X	0
1	0	1	1	0	X	0	0	X	1
1	1	0	X	X	X	X	X	X	X
1	1	1	X	X	X	X	X	X	X

$$Z = Q_1^- X$$

Q_1^-	Q_0^-	00	01	11	10
0	0	0	X	X	0
1	0	1	X	X	0

$$J_0 = X \bar{Q}_1^-$$

Pas 8: Simplificació.

Q_1^-	Q_0^-	00	01	11	10
0	0	0	0	X	X
1	0	0	1	X	X

$$J_1 = X \bar{Q}_0^-$$

Q_1^-	Q_0^-	00	01	11	10
0	0	X	X	X	1
1	0	X	X	X	0

$$K_1 = \bar{X}$$

Q_1^-	Q_0^-	00	01	11	10
0	0	X	1	X	X
1	0	X	1	X	X

$$K_0 = 1$$

22

ETC - Disseny de Sistemes Seqüencials: Mealy (IV)

Pas 9: Implementació amb FF.

