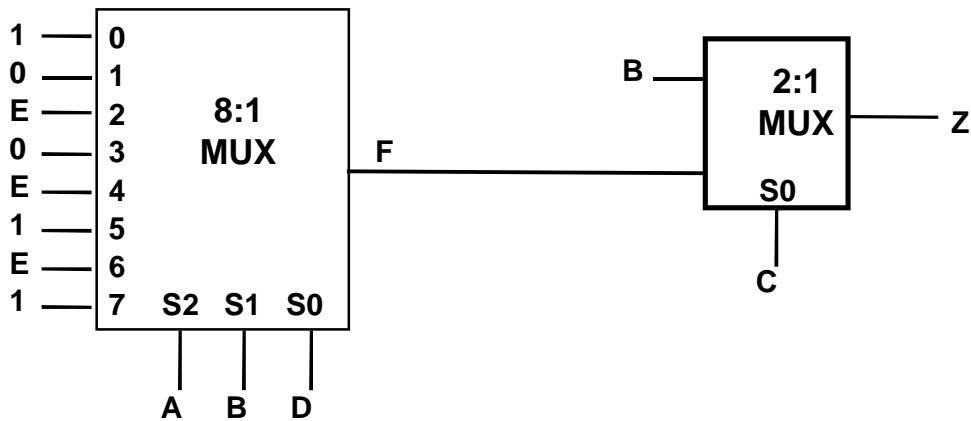


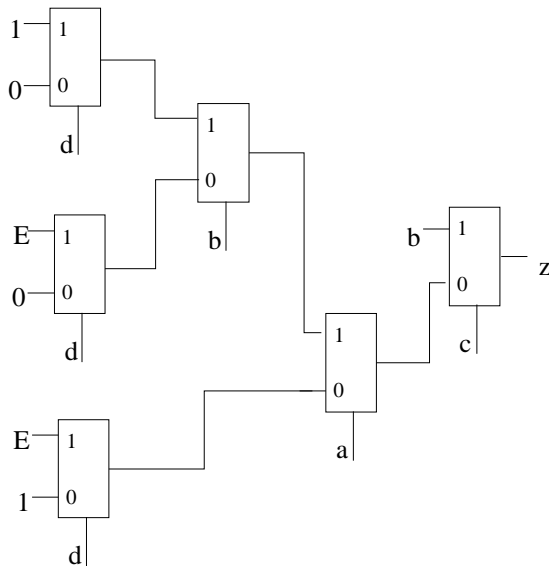
1. MUX'S

Redissena el circuit de la figura:

- Utilitzant només multiplexors de 2:1. Cal reduir tan com sigui possible el número de multiplexors.
- Utilitzant només portes NAND.



Solució:



b.-

El sistema es pot representar per l'equació

$$z = c'(F) + cb$$

on

$$F = a'b'd' + a'bd'e + ab'd'e + ab'd + ab'd'e + abd$$

que simplificat pot ser:

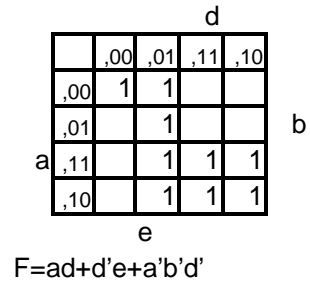
$$F = ad + d'e + a'b'd'$$

per tant

$$z = c'(ad + d'e + a'b'd') + cb$$

$$z = ac'd + c'd'e + a'b'c'd' + bc$$

També es podia fer simplificant per Karnaugh la primera part, i afegint després l'últim multiplexor.

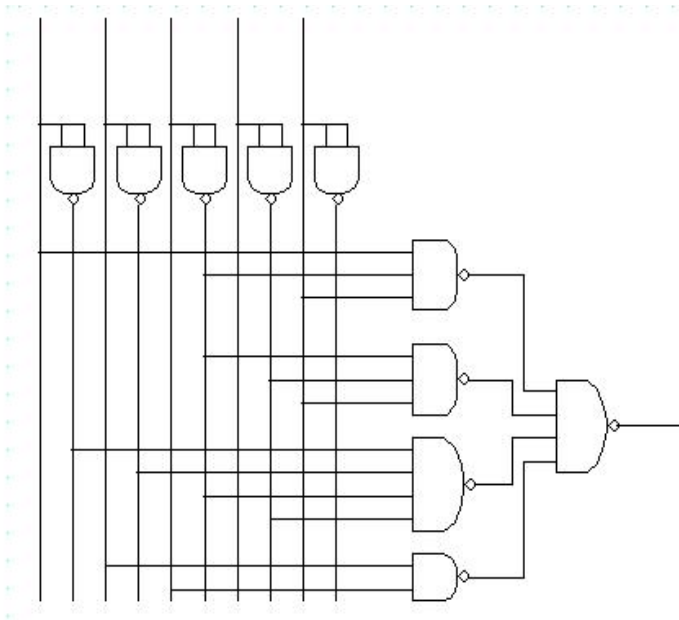


amb portes NAND

$$z = (ac'd + c'd'e + a'b'c'd' + bc)''$$

$$z = ((ac'd)'(c'd'e)'(a'b'c'd')'(bc)')'$$

a	b	d	e	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

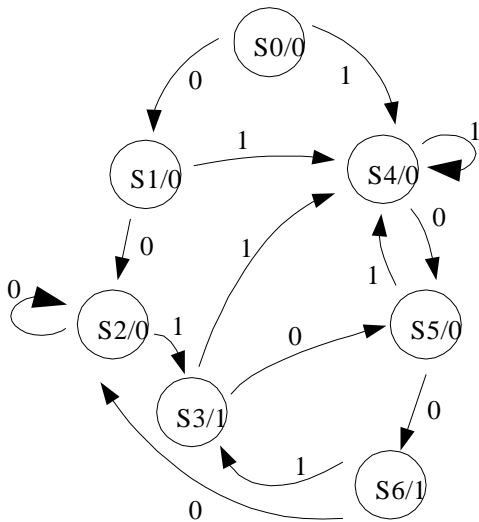


2. DISSENY SEQÜENCIAL

Dissenya un circuit seqüencial que rebi com entrada un bit X i produeixi un bit de sortida Z que serà 1 després de que detecti les seqüències d'entrada 0,0,1 o bé 1,0,0. Comença el disseny amb un estat de reset, utilitza l'autòmata de Moore i implementa utilitzant flip-flops JK.

Solució:

El diagrama d'estats és:



	0	1	Z
S0	S1	S4	0
S1	S2	S4	0
S2	S2	S3	0
S3	S5	S4	1
S4	S5	S4	0
S5	S6	S4	0
S6	S2	S3	1

Assignació d'estats i sortida

	Qa	Qb	Qc	Z
S0	0	0	0	0
S1	0	0	1	0
S2	0	1	0	0
S3	0	1	1	1
S4	1	0	0	0
S5	1	0	1	0
S6	1	1	0	1

x	Qa	Qb	Qc	Qa	Qb	Qc	Ja	Ka	Jb	Kb	Jc	Kc
0	0	0	0	0	0	1	0	x	0	x	1	x
0	0	0	1	0	1	0	0	x	1	x	x	1
0	0	1	0	0	1	0	0	x	x	0	0	x
0	0	1	1	1	0	1	1	x	x	1	x	0
0	1	0	0	1	0	1	x	0	0	x	1	x
0	1	0	1	1	1	0	x	0	1	x	x	1
0	1	1	0	0	1	0	x	1	x	0	0	x
0	1	1	1	x	x	x	x	x	x	x	x	x
1	0	0	0	1	0	0	1	x	0	x	0	x
1	0	0	1	1	0	0	1	x	0	x	x	1
1	0	1	0	0	1	1	0	x	x	0	1	x
1	0	1	1	1	0	0	1	x	x	1	x	1
1	1	0	0	1	0	0	x	0	0	x	0	x
1	1	0	1	1	0	0	x	0	0	x	x	1
1	1	1	0	0	1	1	x	1	x	0	1	x
1	1	1	1	x	x	x	x	x	x	x	x	x

