

**Titulació:** EINF

**Curs:** 2.003/04

**Assignatura:** ARQUITECTURES AVANÇADES

**Quadrimestre:** 2<sup>e</sup>

**Tipus:** Troncal

**Càrrega docent:**

. crèdits teoria 3  
. crèdits de problemes i laboratori 3

**Pre-requisits:** Obligatori: **Arquitectura de Computadors**  
Recomanats:

**Àrea de coneixement assignada el 1.998-99**  
Arquitectura i Tecnologia de Computadors

**Departament:**  
Electrònica, Informàtica i Automàtica

**Coordinator de l'assignatura:**  
Joan Puiggalí

**Professors:**  
Teoria: Joan Puiggalí  
Pràctiques: Eusebi Calle

**Objectius de l'assignatura:**  
Aprofundir en les tècniques arquitectòniques que permeten, mitjançant l'exploració del paral·lelisme, millorar el rendiment del processador.

**Continguts:**

1. Introducció
  - Classificació de flynn
  - Rendiment (RISC-CISC)
  - Increment de velocitat (Paral·lelisme i segmentació)
2. Segmentació
  - Processadors Segmentats:
    - Definició i rendiment
    - Dependències de dades (RAW, WAW, WAR)
    - Conflictes estructurals: Problemàtica i solucions.
    - Conflictes de dades: Execució en ordre, problemàtica i solucions (parar, delay, forwarding)
    - Conflictes de control: Problemàtica i solucions (parar, especulativa)
    - Finalització de les instruccions en desordre (conflictes WAW)
  - Processadors Supersegmentats:
    - Definició i rendiment
    - Conflictes estructurals
    - Conflictes de dades
    - Conflictes de control (Predicció de la condició (dinàmica i estàtica), Anticipació de l'adreça destí (BTB))

## Processadors Superescalars

Deficiència i rendiment

Paral·lelisme del programa i del processador

Execució de les instruccions en desordre (inici i finalització), (conflictes RAW i WAW)

Tècniques : Scoreboard i Tomasulo

Assignació dinàmica de registres.

Tractament de les interrupcions i les ruptures de seqüència

Estats de la màquina (en ordre, arquitectònic i look ahead)

History Buffer, Reorder Buffer, Future File

### 3. Tècniques d'optimització

Assignació de registres

List scheduling

Trace scheduling

Loop unrollin

Software pipelining

Code motion (percolation)

### 4. Multiprocessadors

Introducció (UMA, NUMA, CC-NUMA, COMA)

Coherència entre caches i Memòria principal

Sincronització

### 5. Arquitectures específiques

Ajuts al S.O.

Vectorials

DSP

## Activitats:

Classes de teoria i problemes	
. hores setmanals	3
Pràctiques	
. hores setmanals	1

## Avaluació:

Examen final 75% de la nota

Pràctica 25% de la nota (la presentació de la practica és obligatòria per aprovar l'assignatura)

## Bibliografia:

Bibliografia bàsica a utilitzar durant el curs.

- Kai Hwang, Advanced Computer Architecture Paralleism, Scalability, Programmability. Ed. McGraw Hill, 1993
- Hennessy Patterson, Computer Organisation Design, Ed. McGraw Hill 1994.
- Hennessy Patterson, Arquitectura de Computadores un enfoque cuantitativo, Ed. McGraw Hill 1993
- Apunts assignatura. Web <http://eia.udg.es/~puiggali>

## Altra bibliografia utilitzada:

Revistes : Byte  
IEEE Micro  
IEEE Computer  
Mike Johnson, Superscalar Microprocessor Design, Prentice Hall, 1991